



**TECHNISCHE  
UNIVERSITÄT  
DRESDEN**

---

**Fakultät Elektrotechnik und Informationstechnik**

Institut für Grundlagen der Elektrotechnik und Elektronik - Lehrstuhl Hochparallele VLSI-Systeme und Neuromikroelektronik

---

# BELEG

zur Lehrveranstaltung

## VLSI-SCHALTUNGEN UND SYSTEME

### Entwurf eines ein-stufigen OTAs

Andrej Olunczek  
andrej@olunczek.de  
Matrikel-Nr.: 3066276  
ICPRO-Login: anol07

Betreuer: Dr.-Ing. S. Henker  
Verantwortlicher Hochschullehrer: Prof. Dr.-Ing. habil. R. Schüffny  
vorgelegt am: 06. Januar 2011



# **Inhaltsverzeichnis**

<b>1</b>	<b>Einleitung</b>	<b>7</b>
<b>2</b>	<b>Schaltung und mathematische Betrachtung</b>	<b>9</b>
<b>3</b>	<b>Analyse und Ermittlung geeigneter Parameter</b>	<b>17</b>
<b>4</b>	<b>Optimierungen</b>	<b>27</b>
<b>5</b>	<b>Das Layout</b>	<b>33</b>
<b>6</b>	<b>Nachtrag</b>	<b>39</b>



## Abbildungsverzeichnis

1	Die ausgewählte Schaltung . . . . .	9
2	Kleinsignal-Ersatzschaltbild . . . . .	10
3	Ermittlung von $n$ . . . . .	12
4	Ermittlung von $K_n$ . . . . .	13
5	Erste Ermittlung von $I_{tail}$ und $S_1$ (blaues Kreuz) . . . . .	14
6	Erste Simulation des Frequenzverhaltens . . . . .	16
7	$A_v$ in Abhängigkeit der Abmessungen des Differenzpaares . . . . .	17
8	$A_v$ in Abhängigkeit der Abmessungen des PMOS-Paares . . . . .	18
9	Zweite Simulation des Frequenzverhaltens . . . . .	18
10	Frequenzverhalten in Abhängigkeit von $L_{diff}$ . . . . .	19
11	Frequenzverhalten in Abhängigkeit von $W_{diff}$ . . . . .	19
12	Frequenzverhalten in Abhängigkeit von $L_{pmos}$ . . . . .	20
13	Frequenzverhalten in Abhängigkeit von $W_{pmos}$ . . . . .	20
14	Frequenzverhalten in Abhängigkeit von $I_{tail}$ . . . . .	21
15	Frequenzverhalten mit neuer Stromstärke $I_{tail} = 7\mu A$ . . . . .	22
16	Tail-Strom in Abhängigkeit von $W_{tail}$ . . . . .	23
17	Tail-Strom in Abhängigkeit von $L_{tail}$ . . . . .	23
18	Ausgangsspannung in Abhängigkeit der Differenzspannung . . . . .	24
19	Ausgangsspannung in Abhängigkeit von Gleichtakt- & Differenzspannung . . . . .	24
20	Verstärkung in Abhängigkeit von Gleichtaktspannung & $L_{diff}$ . . . . .	27
21	Verstärkung in Abhängigkeit von Gleichtaktspannung & $W_{pmos}$ . . . . .	28
22	Verstärkung in Abhängigkeit von Gleichtaktspannung & $L_{pmos}$ . . . . .	28
23	Verstärkung in Abhängigkeit der Gleichtaktspannung . . . . .	29
24	Frequenzverlauf in Abhängigkeit der Gleichtaktspannung . . . . .	30
25	Ausgangsspannung in Abhängigkeit von Gleichtakt- & Differenzspannung . . . . .	30
26	Ausgangsspannung in Abhängigkeit von Differenz- & Gleichtaktspannung . . . . .	31
27	Reaktion am Ausgang auf Impuls am Eingang . . . . .	31
28	Stabilität des Tail-Stromspiegels . . . . .	32
29	Das fertige Layout . . . . .	34
30	Verstärkung in Abhängigkeit der Gleichtaktspannung . . . . .	35
31	Frequenzverlauf in Abhängigkeit der Gleichtaktspannung . . . . .	35
32	Ausgangsspannung in Abhängigkeit von Gleichtakt- & Differenzspannung . . . . .	36
33	Ausgangsspannung in Abhängigkeit von Differenz- & Gleichtaktspannung . . . . .	36
34	Reaktion am Ausgang auf Impuls am Eingang . . . . .	37
35	Korrigierte erste Simulation des Frequenzverhaltens . . . . .	39

## Tabellenverzeichnis

1	Spezifikation der Schaltung . . . . .	7
2	Parameter der Schaltung . . . . .	29



---

# 1 Einleitung

Die Aufgabenstellung des Oberseminar VLSI-Schaltungen und Systeme war der Entwurf eines einfachen Transkonduktanzverstärkers. Die Aufgabenstellung 10 sah dazu folgende Spezifikationen vor:

Parameter	Wert
Leerlaufverstärkung $A_v$	>100
CMR am Eingang	1-4.5V
Output Swing	1-2V
Verstärkungs-Bandbreite-Produkt GBW	10MHz
Großsignal-Grenzfrequenz $f_{max}$	100kHz
Doppelte Amplitude $V_{p-p}$	1V
Lastkapazität $C_l$	1pF
Leistungsaufnahme minimiert	

**Tabelle 1:** Spezifikation der Schaltung

Aus der Aufgabenstellung ergibt sich das weitere Vorgehen. Zuerst ist eine geeignete Schaltung zu erstellen, die die gewünschten Parameter erfüllen könnte. Mit Hilfe geeigneter mathematischer Formeln und durch Simulationstest sind die einzelnen Bauelemente zu dimensionieren. Werden alle gewünschten Eigenschaften erfüllt, wird die Schaltung in ein Layout überführt. Im letzten Arbeitsschritt ist noch einmal per Simulation zu überprüfen, ob auch das Layout alle vorgegebenen Parameter erfüllt.



---

## 2 Schaltung und mathematische Betrachtung

Zu allererst ist eine geeignete Schaltung auszuwählen. Da eine der Anforderungen eine minimierte Leistungsaufnahme ist, ist die Schaltung kompakt und die Anzahl der parallel stromführenden Pfade möglichst gering zu halten. Deswegen habe ich mich, analog zur Lehrveranstaltung, für ein einfaches NMOS-Differenzpaar mit einem PMOS-Stromspiegel als Last an den jeweiligen Drain-Anschlüssen des Differenzpaares entschieden. Als Source-Stromquelle dient ein NMOS-Stromspiegel. Die Schaltung setzt sich also wie folgt zusammen:

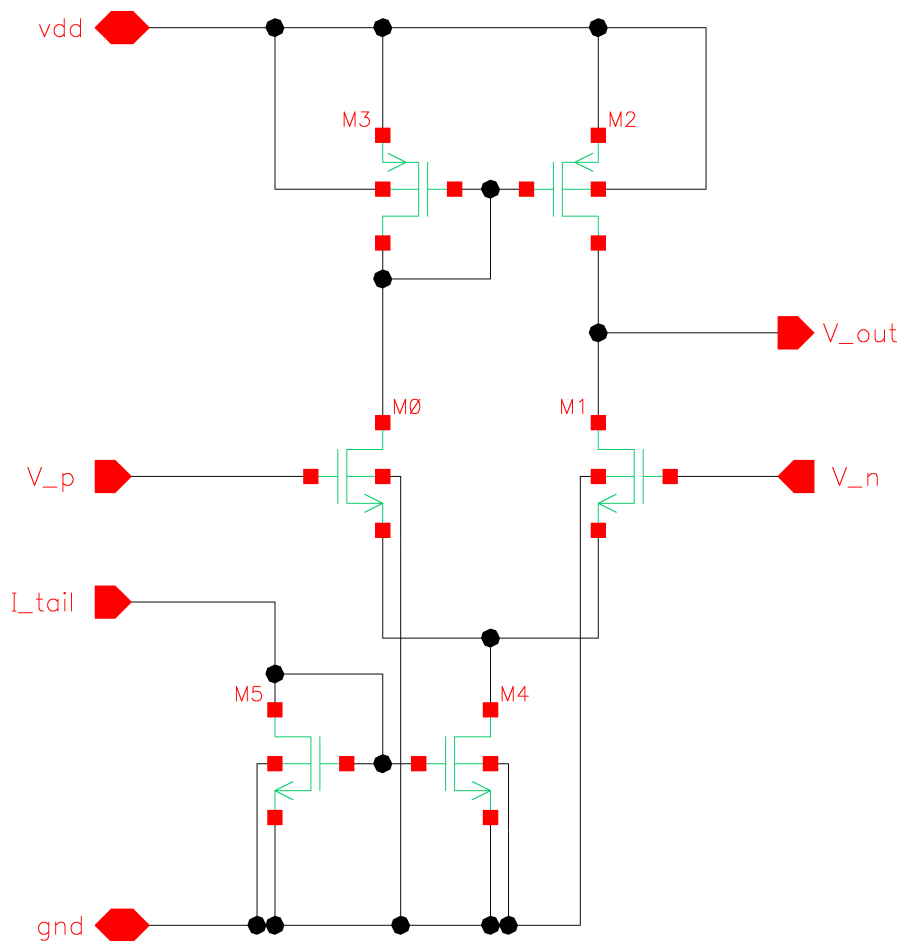


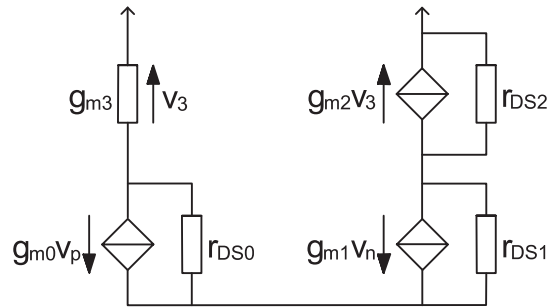
Abbildung 1: Die ausgewählte Schaltung

Aus den geforderten Common-Mode-Range-Werten von 1 Volt bis 4.5 Volt ergibt sich eine benötigte Versorgungsspannung von 5 Volt. Die Dimensionierung der Schaltung beschränkt sich also auf die Bemaßung der drei Transistoren-Paare und die Stärke des Tail-Stromes.

Für die Dimensionierung wird zuerst der Stromspiegel für den Tail-Strom abgekoppelt und der Tail-Strom direkt in das Differenzpaar  $M0/M1$  eingespeist. So kann man

den Stromspiegel  $M4/M5$  später dimensionieren, wenn der Rest der Schaltung wie gewünscht funktioniert.

Um eine erste Berechnung für das Differenzpaar und den Tail-Strom zu haben, nutze ich hier die Formeln aus der Lehrveranstaltung. Dazu sei hier erst einmal ein vereinfachtes Kleinsignal-Ersatzschaltbild betrachtet:



**Abbildung 2:** Kleinsignal-Ersatzschaltbild

Die Knotenspannung zwischen Transistor  $M0$  und  $M1$  wird hier, vereinfacht, als Masse angesehen, da sie auch reell sehr klein ausfallen wird. Die Knoten zwischen den Transistoren  $M0$  und  $M3$ , beziehungsweise  $M1$  und  $M2$ , lassen sich wie folgt zusammenfassen:

$$g_{m3}v_3 + g_{m0}v_p + \frac{v_3}{r_{DS0}} = 0 \quad (1)$$

$$g_{m2}v_3 + \frac{v_{out}}{r_{DS2}} + g_{m1}v_n + \frac{v_{out}}{r_{DS1}} = 0 \quad (2)$$

Um beide Gleichungen zusammenzufassen zieht man Gleichung 1 von Gleichung 2 ab. Unter Berücksichtigung, dass die Transistoren  $M0$  und  $M1$  sowie  $M2$  und  $M3$  jeweils baugleich sind, erhält man folgende Gleichung:

$$g_{m3}v_3 + \frac{v_{out}}{r_{DS2}} + g_{m1}v_n + \frac{v_{out}}{r_{DS1}} - g_{m3}v_3 - g_{m1}v_p - \frac{v_3}{r_{DS1}} = 0 \quad (3)$$

$$\frac{v_{out}}{r_{DS2}} + g_{m1}(v_n - v_p) + \frac{v_{out} - v_3}{r_{DS1}} = 0 \quad (4)$$

Der Term  $(v_n - v_p)$  entspricht dem negativen der Differenzeingangsspannung  $v_{diff}$ . Die Spannung  $v_3$  ist im Allgemeinen wesentlich kleiner als die verstärkte Ausgangsspannung  $v_{out}$  und kann somit ignoriert werden. Damit ergibt sich folgender vereinfachter Zusammenhang:

---


$$\frac{v_{out}}{r_{DS2}} - g_{m1}v_{diff} + \frac{v_{out}}{r_{DS1}} = 0 \quad (5)$$

$$\frac{v_{out}}{r_{DS2}||r_{DS1}} = g_{m1}v_{diff} \quad (6)$$

Da das Verhältnis von  $v_{out}$  zu  $v_{diff}$  der Leerlaufverstärkung  $A_v$  entspricht, gilt:

$$A_v = g_{m1}(r_{DS2}||r_{DS1}) \quad (7)$$

Ein weiterer wichtiger Punkt ist das Frequenzverhalten, insbesondere das Verstärkungs-Bandbreite-Produkt. Das ist das Produkt aus der maximalen Verstärkung und der Frequenz, ab der die Verstärkung um 3dB oder mehr reduziert ist.

$$GBW = A_v * f_{3dB} \quad (8)$$

Unter Vernachlässigung der parasitären Kapazitäten an den Transistoren ergibt sich folgende Gleichung für  $f_{3dB}$ :

$$f_{3dB} = \frac{1}{2\pi} \frac{1}{r_{out}C_l} = \frac{1}{2\pi} \frac{1}{(r_{DS2}||r_{DS1})C_l} \quad (9)$$

Damit ergibt sich für  $GBW$ :

$$GBW = \frac{1}{2\pi} \frac{g_{m1}}{C_l} \quad (10)$$

Für  $g_{m1}$  gilt gemäß dem Transistormodell:

$$g_{m1} = \sqrt{\frac{I_{tail}K_nS_1}{n}} \quad (11)$$

Eingesetzt in die Gleichungen 7 und 10 für  $A_v$  und  $GBW$  ergibt sich:

$$A_v = \sqrt{\frac{I_{tail}K_nS_1}{n}} (r_{DS2}||r_{DS1}) \quad (12)$$

$$A_v = \sqrt{\frac{I_{tail}K_nS_1}{n}} \frac{1}{\lambda_p \frac{I_{tail}}{2} + \lambda_n \frac{I_{tail}}{2}} \quad (13)$$

## 2 Schaltung und mathematische Betrachtung

---

$$A_v = \sqrt{\frac{4K_n S_1}{n I_{tail}}} \frac{1}{\lambda_p + \lambda_n} \quad (14)$$

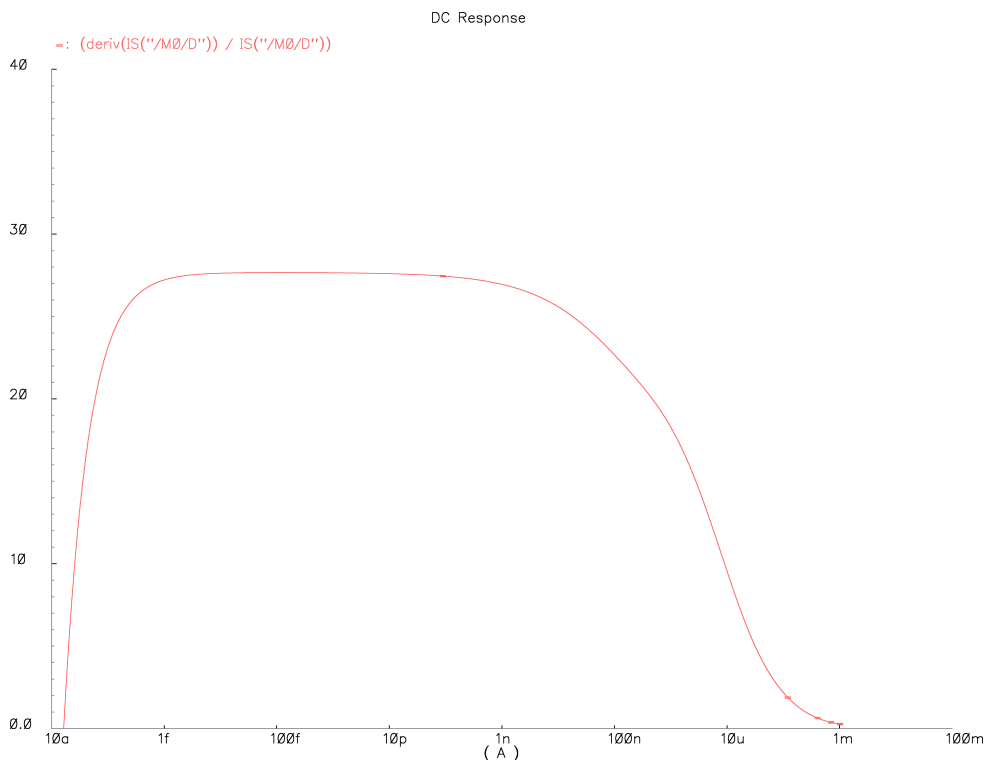
$$GBW = \frac{1}{2\pi} \sqrt{\frac{I_{tail} K_n S_1}{n}} \frac{1}{C_l} \quad (15)$$

Um jetzt erste Werte für  $S_1$  und  $I_{tail}$  zu bekommen, sind die letzten beiden Gleichungen nach  $S_1$  umzustellen.

$$S_1 = \frac{A_v^2 (\lambda_p + \lambda_n)^2 n I_{tail}}{4K_n} \quad (16)$$

$$S_1 = \frac{4GBW^2 \pi^2 C_l^2 n}{K_n I_{tail}} \quad (17)$$

$A_v$ ,  $GBW$  und  $C_l$  sind vorgegeben, es fehlen aber die Informationen für  $n$ ,  $K_n$ ,  $\lambda_n$  und  $\lambda_p$ , um die Gleichungen zu lösen. Für die Ermittlung von  $n$  habe ich mich an Aufgabe 6.4 der Praktikumsanleitung gehalten. Es ergibt sich folgender Graph:



**Abbildung 3:** Ermittlung von  $n$

Als Wert für  $\frac{1}{nU_T}$  ergibt sich 27.66. Damit berechnet sich  $n$  zu einem Wert von 1.4. Für die Berechnung von  $K_n$  benötigen wir, analog zur Praktikumsaufgabe 6.6 folgende Formel aus dem EKV-Transistormodell:

$$I_D = \frac{\beta}{2}(V_G - V_{T0})^2 \quad (18)$$

$$\sqrt{I_D} = \sqrt{\frac{\beta}{2}}(V_G - V_{T0}) \quad (19)$$

Aus dem Anstieg der Funktion  $\sqrt{I_D}$  kann man also den Wert für  $\sqrt{\frac{\beta}{2}}$  ablesen.  $\beta$  berechnet sich zu  $\beta = K_n * S$ . Für die nachfolgende Simulation wurde ein Einheits-transistor mit  $W = L = 1\mu m$  verwendet, demzufolge ist  $S = 1$  und  $\beta = K_n$ . Die Formel für  $K_n$  lautet also wie folgt:

$$K_n = 2\sqrt{I_D}'^2 \quad (20)$$

Graphisch dargestellt ergibt sich folgendes Bild:

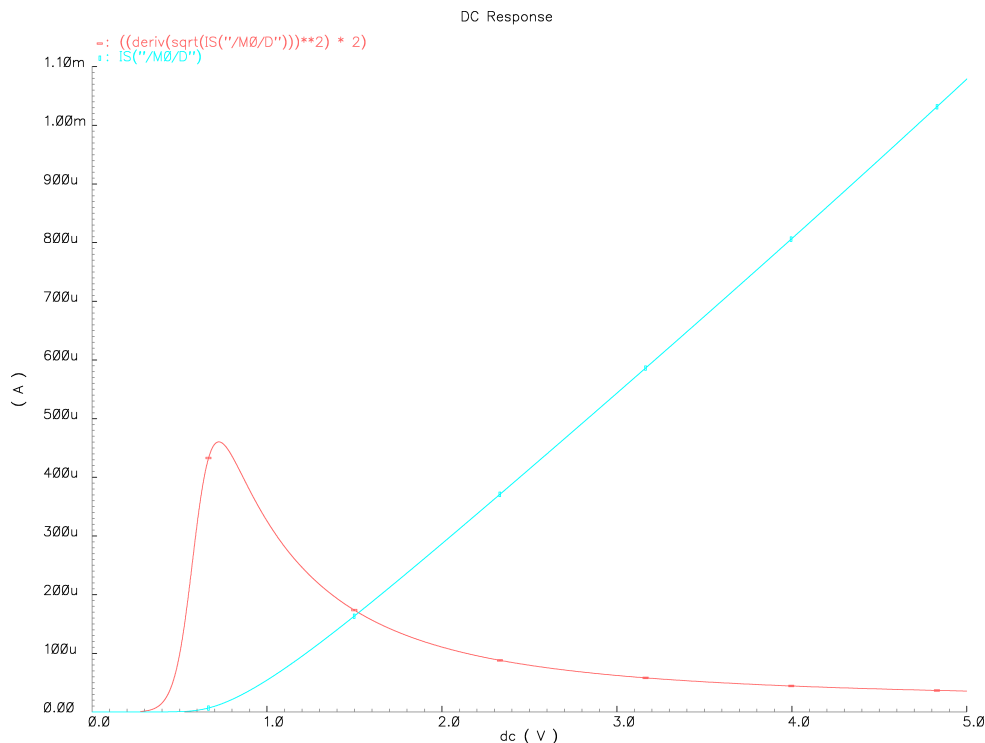


Abbildung 4: Ermittlung von  $K_n$

## 2 Schaltung und mathematische Betrachtung

$K_n$  ist also von der Gate-Spannung abhängig. Diese soll zwischen 1V und 4.5V liegen. Ich habe  $K_n$  in der Mitte zwischen den beiden Punkten abgelesen, der Arbeitspunkt liegt also bei 2.75V. Der Wert für  $K_n$  liegt dort bei  $69.8 \frac{\mu A}{V^2}$ .

Für  $\lambda$  gilt im Arbeitspunkt die einfache Formel:

$$\lambda = \frac{g_{ds}}{i_d} \quad (21)$$

Für die Berechnung habe ich hier die NMOS- und PMOS-Transistoren in der Standardgröße verwendet. Für NMOS beträgt  $W/L = 2.4\mu m / 0.6\mu m = 4$  und für PMOS  $W/L = 4.8\mu m / 0.6\mu m = 8$ . Der Arbeitspunkt liegt bei einer Gate-Spannung von 2.75V. Für den NMOS-Transistor betragen die simulierten Ergebnisse  $g_{ds,n} = 6.98\mu S$  und  $i_{d,n} = 478.8\mu A$ , damit hat  $\lambda_n$  einen Wert von  $14.6kV^{-1}$ . Bei dem PMOS-Transistor ist  $g_{ds,p} = 14.48\mu S$  und  $i_{d,p} = 356.8\mu A$ , demzufolge ist  $\lambda_p = 40.6kV^{-1}$ .

Mit Hilfe dieser Werte kann man jetzt die Gleichungen 16 und 17 graphisch darstellen:

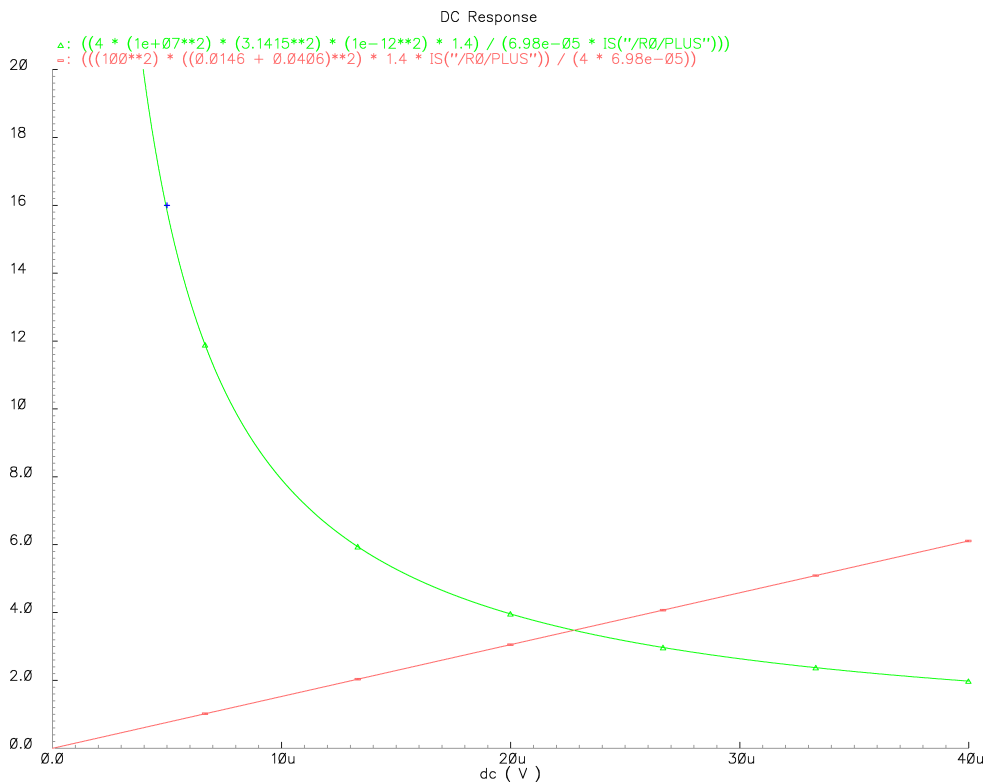


Abbildung 5: Erste Ermittlung von  $I_{tail}$  und  $S_1$  (blaues Kreuz)

Das gesuchte Wertepaar muss oberhalb beider Funktionen liegen. Da einer der Vorgaben eine möglichst geringe Leistungsaufnahme ist, sollte der Tail-Strom möglichst gering ausfallen. Ich habe mich daher für Werte von  $I_{tail} = 5\mu A$  und  $S_1 = 16$  entschieden.

Jetzt fehlen noch passende Maße für die Transistoren  $M2/M3$ .  $S_2$  sollte in etwa so gewählt sein, dass  $r_{ds1} = r_{ds2}$ , damit die Ausgangsspannung in etwa mittig zwischen Masse und Versorgungsspannung liegt, wenn keine Differenzspannung anliegt. Für die Berechnung verwende ich gleich die Leitwerte  $g_{ds}$  von der Berechnung von  $\lambda$ . Unter der vereinfachten Annahme, dass doppelte Transistorweite gleich halber Widerstand beziehungsweise doppelter Leitwert und doppelte Kanallänge gleich doppelter Widerstand beziehungsweise halber Leitwert ist, kann man relative Leitwerte für NMOS und PMOS bilden, die von den Transistormaßen unabhängig sind. Für NMOS gilt dann  $g_{ds,rel,n} = g_{ds,n}/4 = 1.745\mu S$  und für PMOS  $g_{ds,rel,p} = g_{ds,p}/8 = 1.81\mu S$ .  $S_2$  berechnet sich damit wie folgt:

$$\frac{S_2}{S_1} = \frac{g_{ds,rel,n}}{g_{ds,rel,p}} \quad (22)$$

$S_2$  beträgt damit  $0.96S_1$ , also 15.4.

Nun ist noch das Großsignalverhalten, insbesondere die Großsignal-Grenzfrequenz  $f_{max}$  zu betrachten. Dazu brauchen wir zum einen die Slew-Rate, also den maximal möglichen Spannungsanstieg am Ausgang, wenn der komplette Tail-Strom durch den Ausgang fließt, um die Lastkapazität zu laden:

$$SR = \frac{I_{tail}}{C_l} \quad (23)$$

Zum anderen benötigen wir auch den maximalen Anstieg am Ausgang, wenn die geforderte Großsignal-Grenzfrequenz  $f_{max}$  anliegt. Das ist die Ableitung der Sinusfunktion am Punkt  $t = 0$ :

$$U(t) = \hat{U} \sin(2\pi f_{max}t) \quad (24)$$

$$U'(t = 0) = 2\pi f_{max}\hat{U} \quad (25)$$

Wenn man jetzt die Gleichungen 23 und 25 gleichsetzt und nach  $I_{tail}$  umstellt, erhält man den nötigen Mindestwert für den Tail-Strom, damit die Großsignal-Grenzfrequenz erreicht wird.

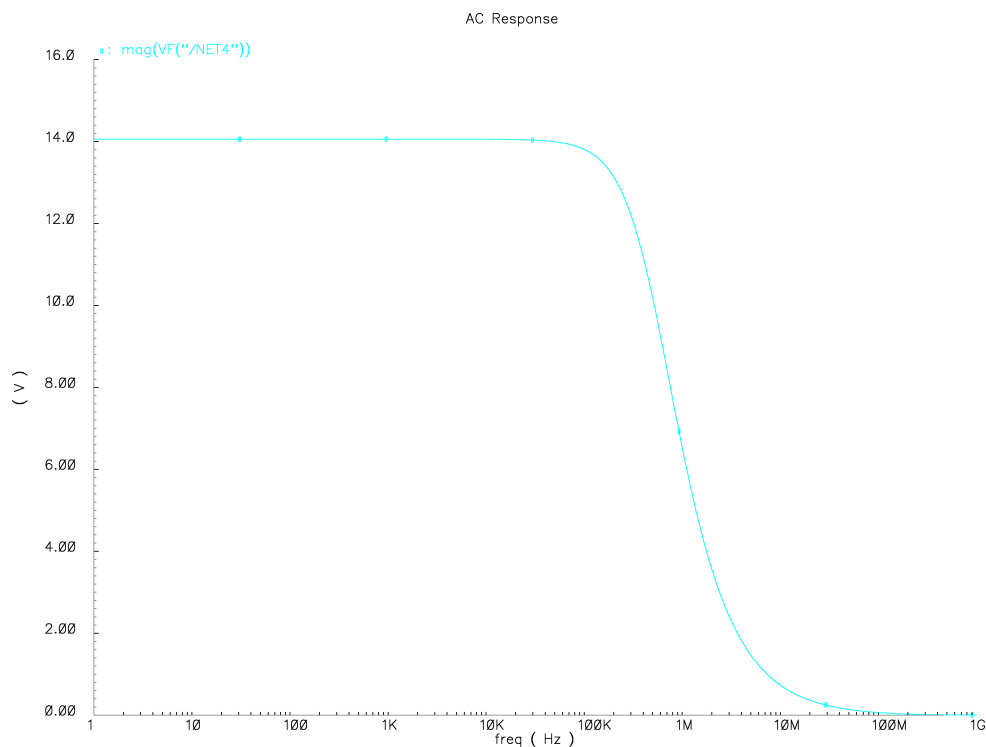
$$I_{tail} = 2\pi f_{max}\hat{U}C_l = 628nA \quad (26)$$

$\hat{U}$  beträgt in diesem Fall  $1V$ , da dass einem Output Swing von  $2V$  entspricht. Man sieht also, dass die oben gewählten  $5\mu A$  deutlich über diesem Wert liegen, es also keine Probleme mit der Großsignal-Grenzfrequenz gibt.

## 2 Schaltung und mathematische Betrachtung

---

Mit diesen Daten kann jetzt ein erster Simulationstest erfolgen. Da wir für die Transistoren nur das Seitenverhältnis haben, muss noch eine Größe festgelegt werden. Als Kanallänge verwende ich hier die minimale Technologiegröße von  $0.6\mu m$ . Damit ergibt sich für das Differenzpaar eine Transistorweite von  $9.6\mu m$  und für das PMOS-Paar eine Weite von  $9.2\mu m$ . Der Tail-Strom beträgt wie oben erwähnt  $5\mu A$ . Das erste Simulationsergebnis ergibt damit das in der folgenden Abbildung dargestellte Bild:



**Abbildung 6:** Erste Simulation des Frequenzverhaltens

Das Ergebnis,  $A_v = 14.1$  und  $f_{3dB} = 523kHz$ , ist erwartungsgemäß noch ziemlich weit von den gewünschten Spezifikationen entfernt, da sich die Transistoren wesentlich komplexer verhalten, als durch die vereinfachten Formeln berechnet.

### 3 Analyse und Ermittlung geeigneter Parameter

Die Parameter müssen jetzt mit Hilfe von Simulationen und parametrischer Analysen soweit verändert und optimiert werden, dass die Spezifikationen der Schaltung erfüllt werden. Dazu kann die Leerlaufverstärkung in Abhängigkeit der Abmessungen der Transistoren graphisch dargestellt werden. Im Folgenden ist die Verstärkung in Abhängigkeit der Kanallänge und -weite des Differenzpaares dargestellt:

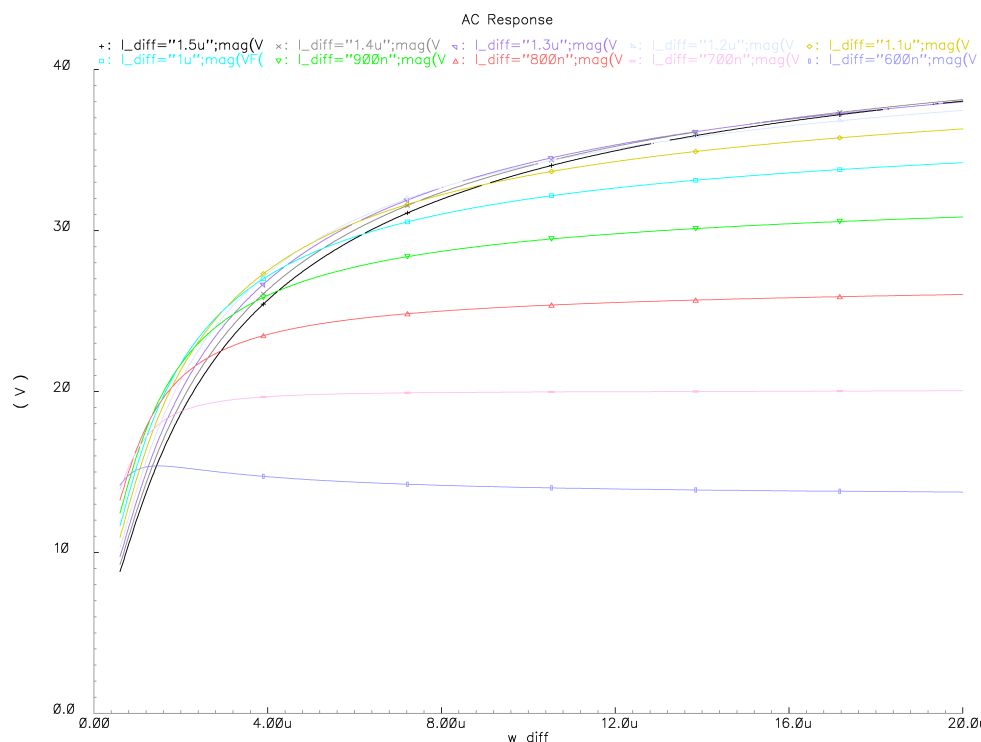


Abbildung 7:  $A_v$  in Abhängigkeit der Abmessungen des Differenzpaares

Ich habe hier  $W_{diff} = 8.0 \mu m$  und  $L_{diff} = 1.2 \mu m$  als Kompromiss zwischen Transistorgröße und Verstärkung gewählt. Mit dieser neuen Größe habe ich die Analyse für das PMOS-Paar wiederholt, das Ergebnis ist in Abbildung 8 zu sehen.

Die Abmessungen können jetzt so gewählt werden, dass eine Verstärkung von 100 erreicht wird. Ich habe als Maße für den PMOS-Transistor  $W_{pmos} = 4.0 \mu m$  und  $L_{pmos} = 1.2 \mu m$  gewählt. Das Frequenzverhalten sieht mit den neuen Abmessungen dann wie in Abbildung 9 dargestellt aus.  $A_v$  beträgt damit jetzt 99.4,  $f_{3dB}$  aber nur noch  $67 kHz$ . Jetzt ist also noch das Frequenzverhalten zu verbessern, da  $f_{3dB}$   $100 kHz$  betragen muss, damit ein  $GBW$ -Wert von  $10 MHz$  erreicht wird.

In den Abbildungen 10 bis 13 ist das Frequenzverhalten in Abhängigkeit der Transistorgrößen  $L_{diff}$ ,  $W_{diff}$ ,  $L_{pmos}$  und  $W_{pmos}$  dargestellt. Die nicht variierten Maße betragen dabei die bisher ermittelten Werte.

### 3 Analyse und Ermittlung geeigneter Parameter

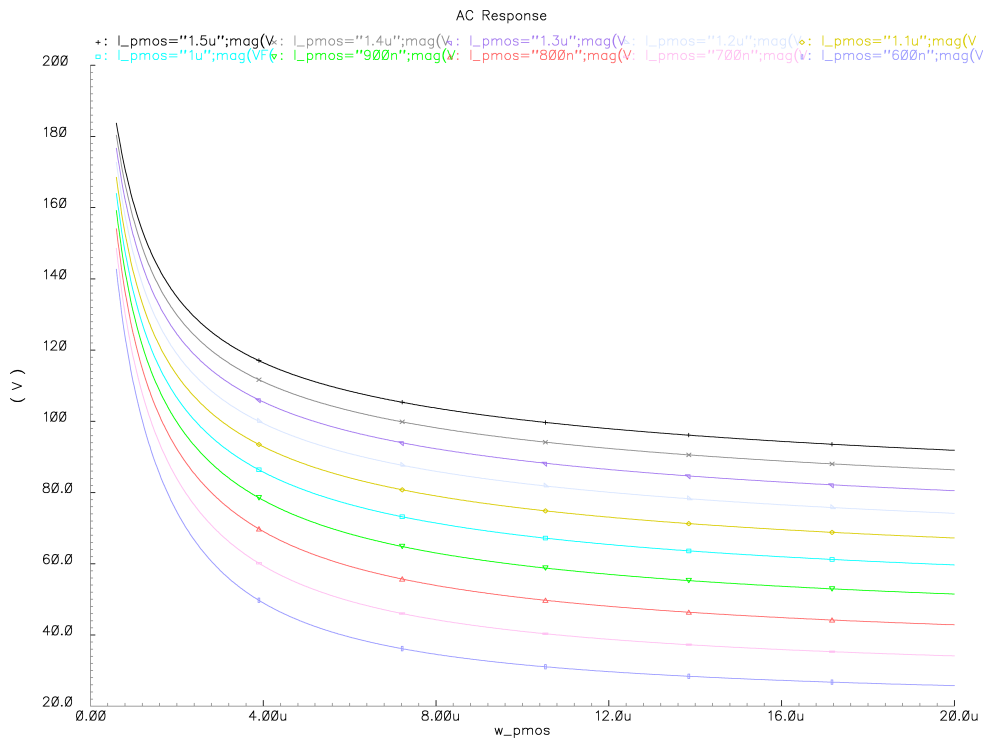


Abbildung 8:  $A_v$  in Abhängigkeit der Abmessungen des PMOS-Paares

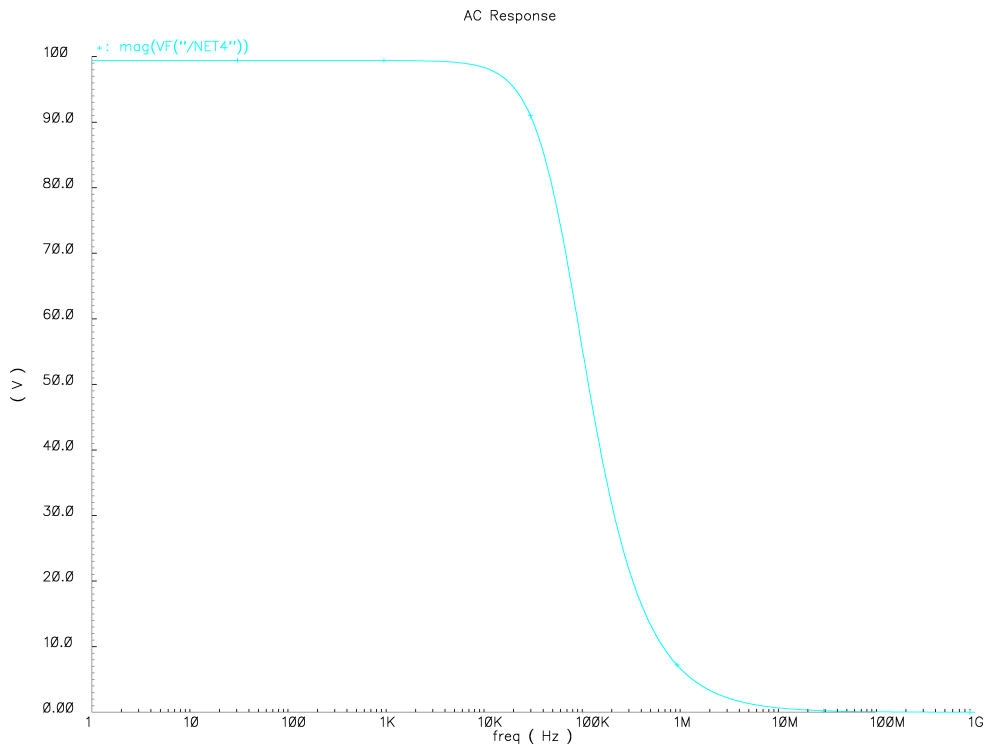


Abbildung 9: Zweite Simulation des Frequenzverhaltens

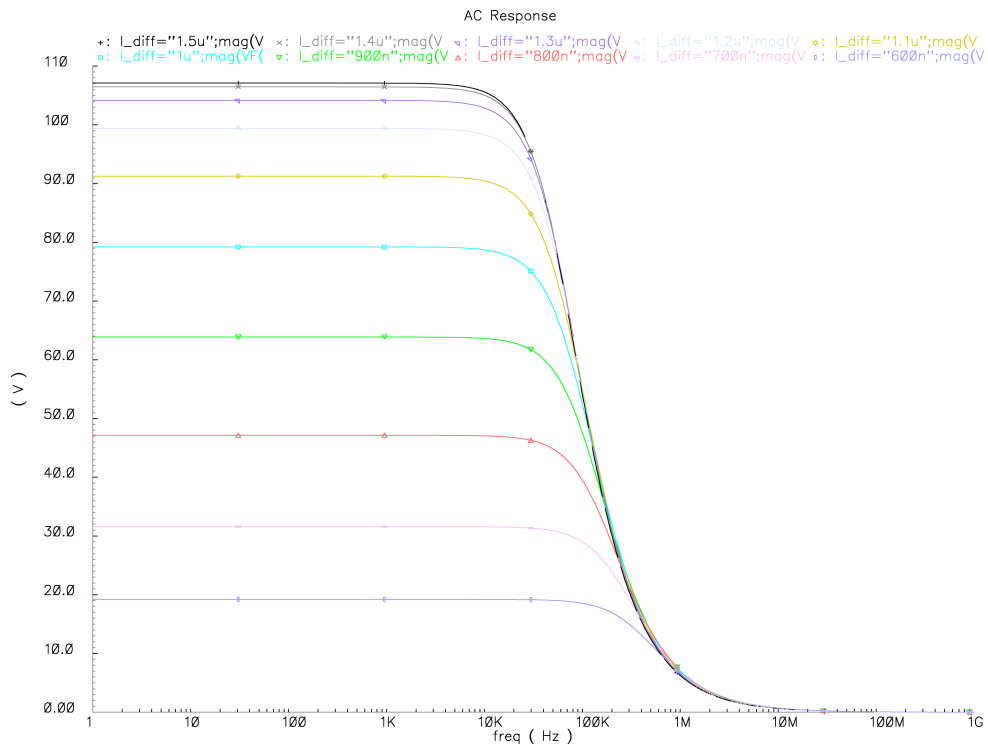


Abbildung 10: Frequenzverhalten in Abhängigkeit von  $L_{diff}$

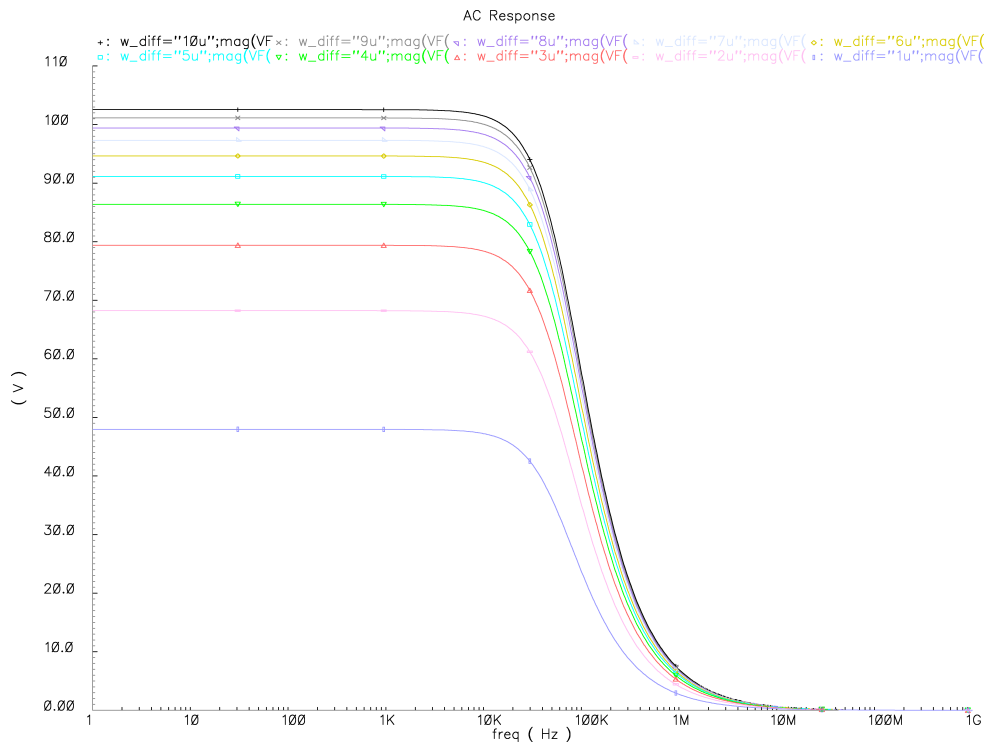


Abbildung 11: Frequenzverhalten in Abhängigkeit von  $W_{diff}$

### 3 Analyse und Ermittlung geeigneter Parameter

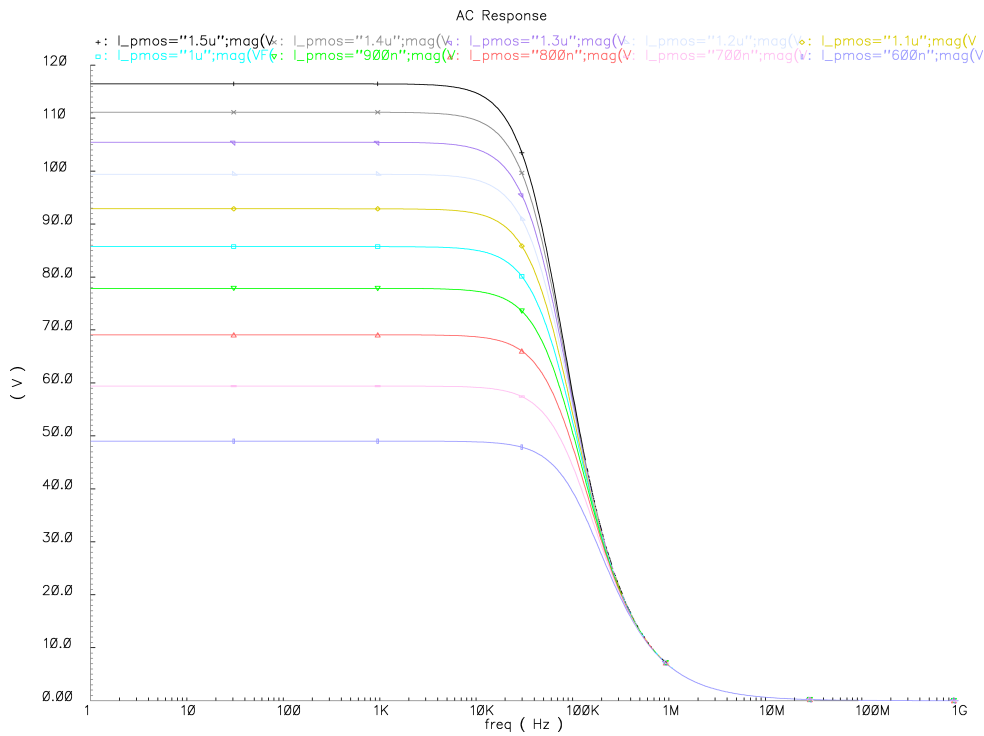


Abbildung 12: Frequenzverhalten in Abhängigkeit von  $L_{pmos}$

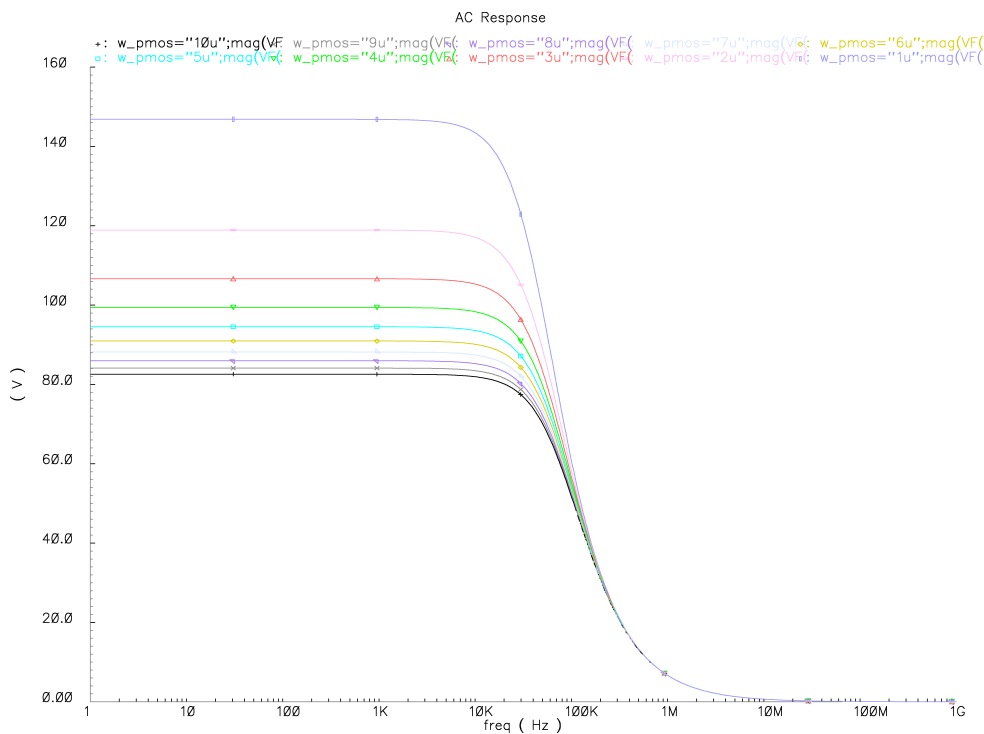
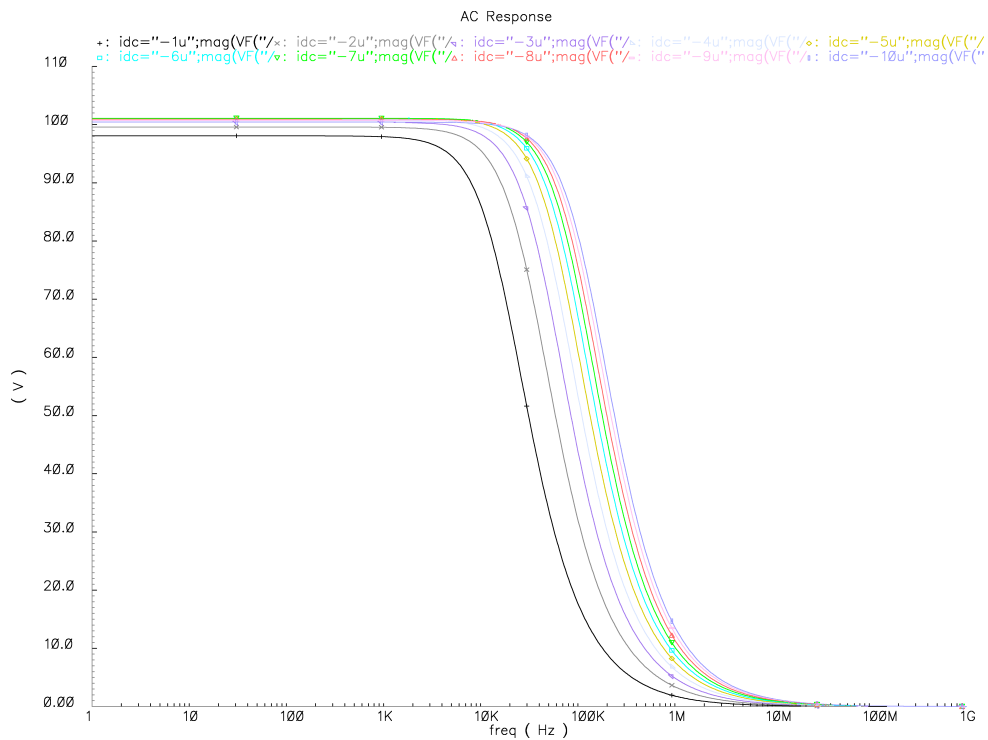


Abbildung 13: Frequenzverhalten in Abhängigkeit von  $W_{pmos}$

Aus den Abbildungen ist zu erkennen, dass man, um  $f_{3dB}$  zu erhöhen,  $W_{diff}$  oder  $W_{pmos}$  vergrößern beziehungsweise  $L_{diff}$  oder  $L_{pmos}$  verkleinern muss. Um  $A_v$  zu vergrößern muss man  $L_{diff}$ ,  $W_{diff}$  oder  $L_{pmos}$  erhöhen oder  $W_{pmos}$  verkleinern.

Nach weiteren Analysen, ähnlich denen in Abbildung 7 und 8 habe ich die Abmessung des Differenzpaares auf  $L_{diff} = 1.0\mu m$  und  $W_{diff} = 16.0\mu m$  gesetzt. Die Maße von dem PMOS-Paar betragen jetzt  $L_{pmos} = W_{pmos} = 1.0\mu m$ . Das Ergebnis ist aber trotzdem noch sehr ähnlich dem in Abbildung 9.  $A_v$  beträgt jetzt 101.1 und  $f_{3db} = 75.9kHz$ . Die Grenzfrequenz ist zwar etwas gestiegen, aber noch weit entfernt von den benötigten  $100kHz$ .

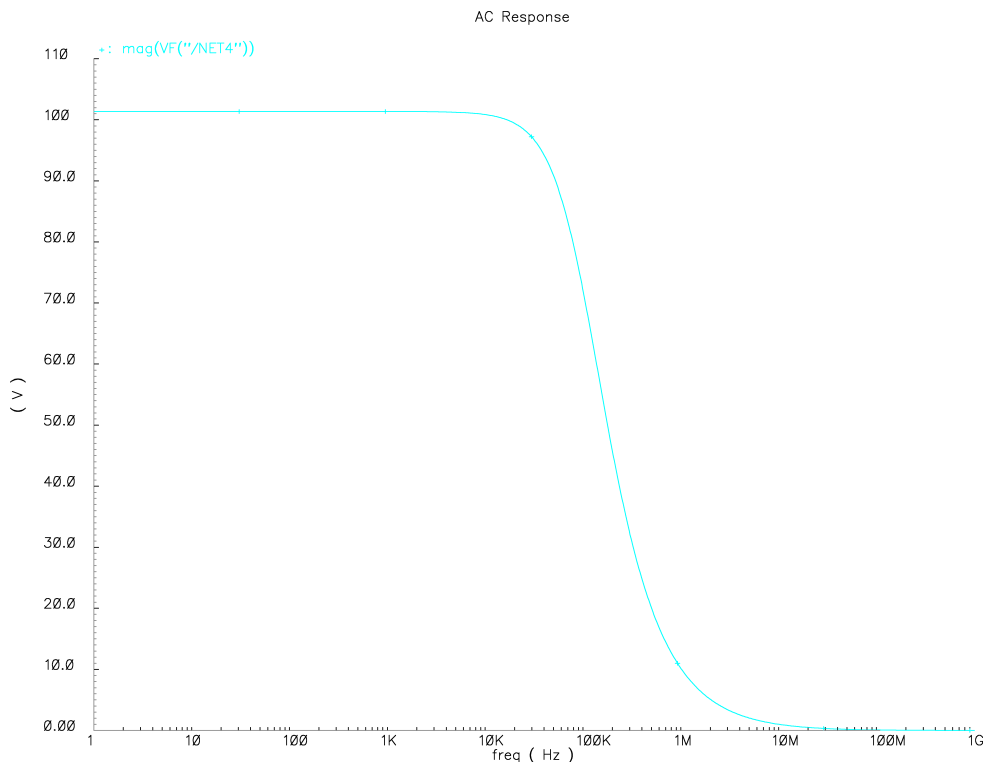
Um die Frequenz deutlich steigen zu lassen, ist eine Erhöhung des Tail-Stromes nötig. Dazu ist im Folgenden das Frequenzverhalten in Abhängigkeit der Tail-Stromstärke dargestellt:



**Abbildung 14:** Frequenzverhalten in Abhängigkeit von  $I_{tail}$

Aus dieser Abbildung ist zu sehen, dass mit steigender Stromstärke auch die erreichbare Frequenz steigt. Aus diesem Grund habe ich  $I_{tail}$  jetzt auf  $7\mu A$  gesetzt. Mit der neuen Stromstärke wurden auch wieder neue Anpassungen an den Abmessungen der Transistoren nötig. Das Differenzpaar bemisst sich jetzt zu  $L_{diff} = 1.0\mu m$  und  $W_{diff} = 15.0\mu m$ . Die neuen Abmessungen des PMOS-Paares sind jetzt  $L_{pmos} = 2.0\mu m$  und  $W_{pmos} = 5.0\mu m$ . Bei der Weite habe ich darauf geachtet, dass die Werte einen möglichst großen gemeinsamen Teiler haben, in dem Fall hier 5, um später ein gleichmäßiges kompaktes Layout zu bekommen. Mit diesen Werten sieht das Fre-

quenzverhalten schon wesentlich besser aus:



**Abbildung 15:** Frequenzverhalten mit neuer Stromstärke  $I_{tail} = 7\mu A$

Jetzt werden die gewünschten Werte erreicht.  $A_v$  beträgt 101.4 und  $f_{3dB}$  erreicht  $100.9kHz$ .

Nun muss noch der Stromspiegel der Tail-Stromquelle wieder in die Schaltung eingebunden werden. Die Abmessungen der beiden dortigen Transistoren stehen zuerst noch auf den Standard-Startwerten  $L_{tail} = 0.6\mu m$  und  $W_{tail} = 2.4\mu m$ . Diese Werte sind nun durch Simulation noch anzupassen.

Wie in Abbildung 16 zu sehen, gibt es durch die Veränderung von  $W_{tail}$  keine Möglichkeit, um auf  $7\mu A$  zu kommen. Ich habe hier wieder  $5\mu m$  gewählt, um auch die Weite der Tail-Stromquelle aus layouttechnischen Gründen denen der anderen Transistoren anzupassen. Um jetzt auf  $7\mu A$  zu kommen, muss die Kanallänge der Transistoren angepasst werden. In Abbildung 17 ist zu sehen, wie sich die Tail-Stromstärke in Abhängigkeit von der Kanallänge  $L_{tail}$  verhält, wenn  $W_{tail} = 5.0\mu m$ . Ich habe mich hier für eine Länge von  $L_{tail} = 1.8\mu m$  entschieden. Die Verstärkung  $A_v$  ändert sich durch die angeschlossene Tail-Stromquelle auf 101.3, die Frequenz  $f_{3dB}$  erhöht sich etwas auf  $102.7kHz$ .

Nun sind noch weitere Parameter zu überprüfen, wie zum Beispiel der Output Swing. In Abbildung 18 ist zu sehen, wie sich die Ausgangsspannung in Abhängigkeit der Differenzspannung verhält. Die Gleichtaktspannung beträgt hier noch  $2.75V$ , die Arbeitspunktspannung, die auch für die Berechnungen in Kapitel 2 verwendet wurde.

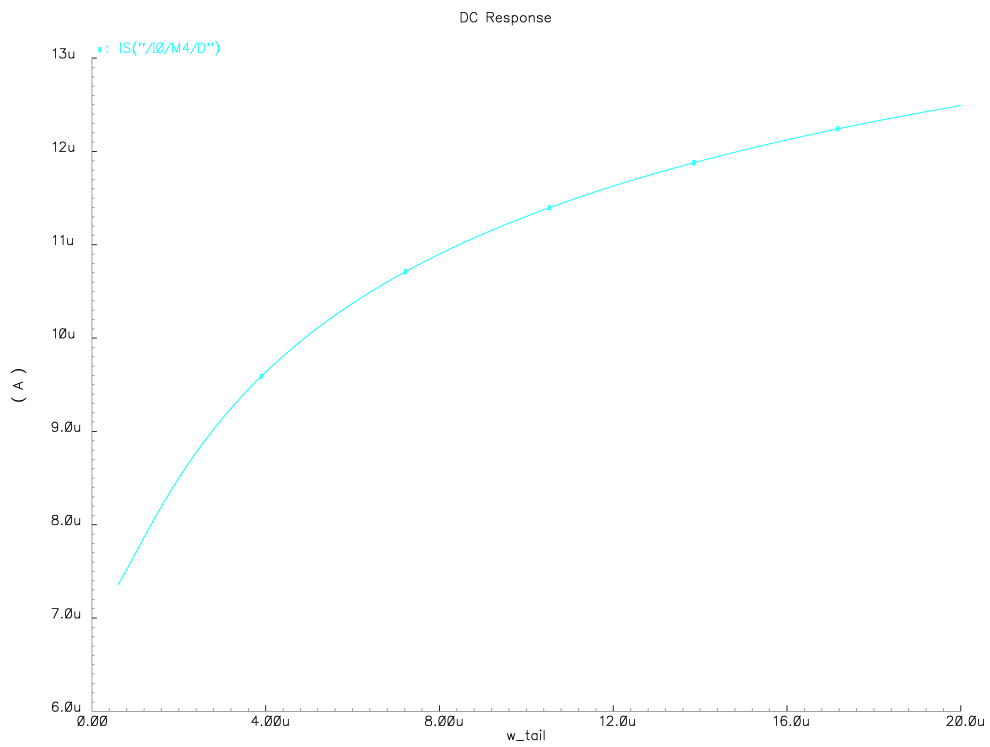


Abbildung 16: Tail-Strom in Abhängigkeit von  $W_{tail}$

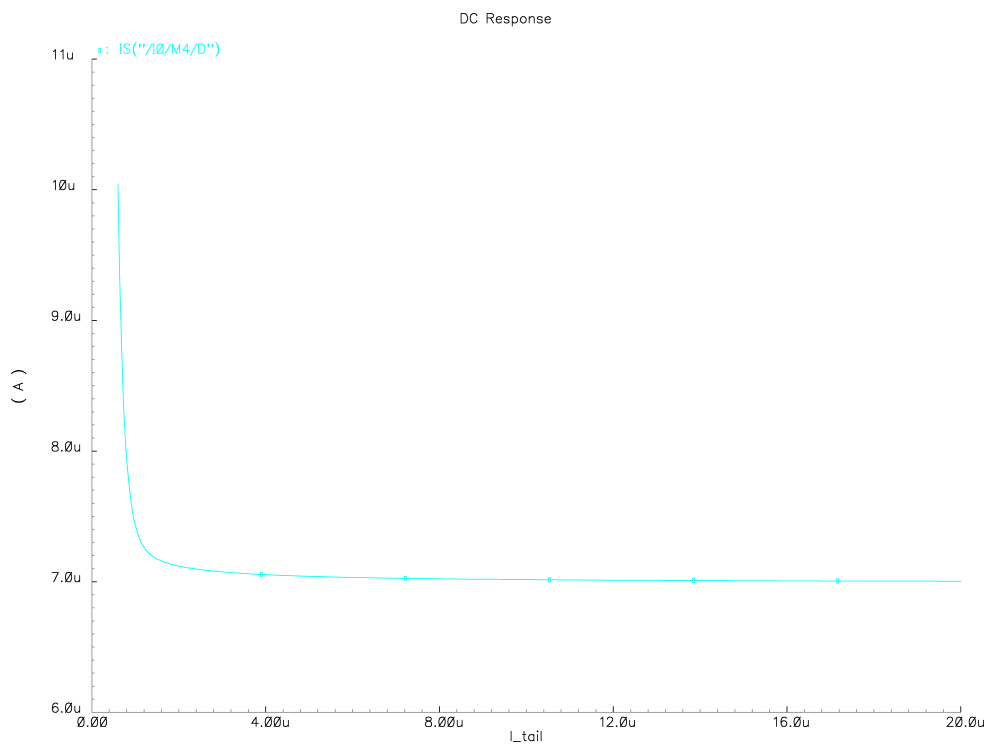


Abbildung 17: Tail-Strom in Abhängigkeit von  $L_{tail}$

### 3 Analyse und Ermittlung geeigneter Parameter

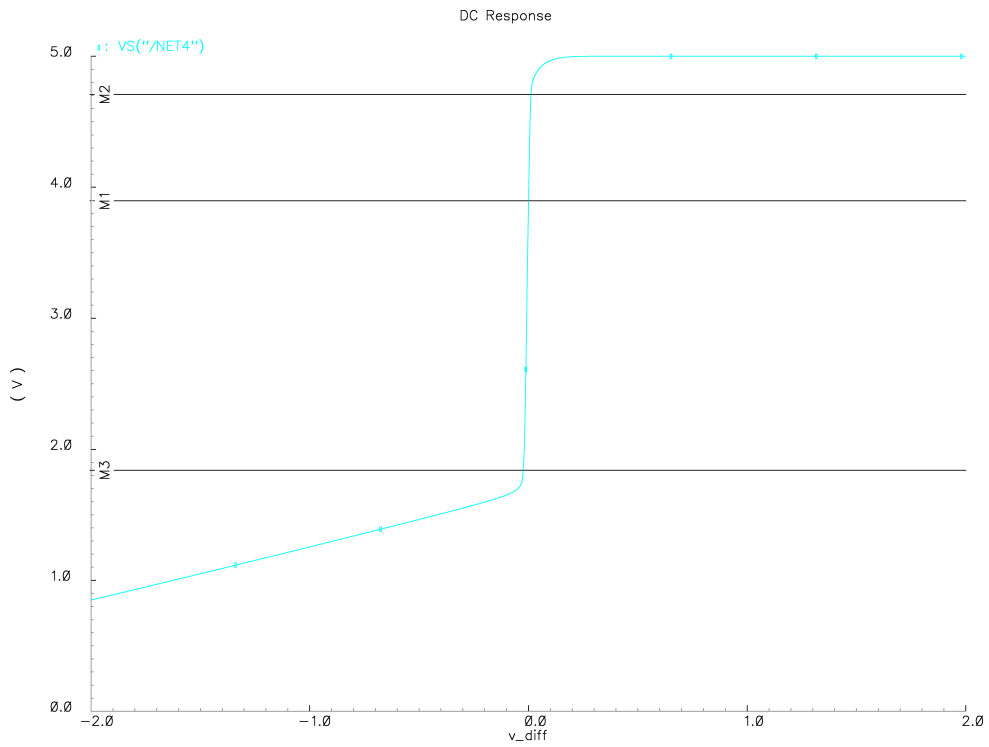


Abbildung 18: Ausgangsspannung in Abhängigkeit der Differenzspannung

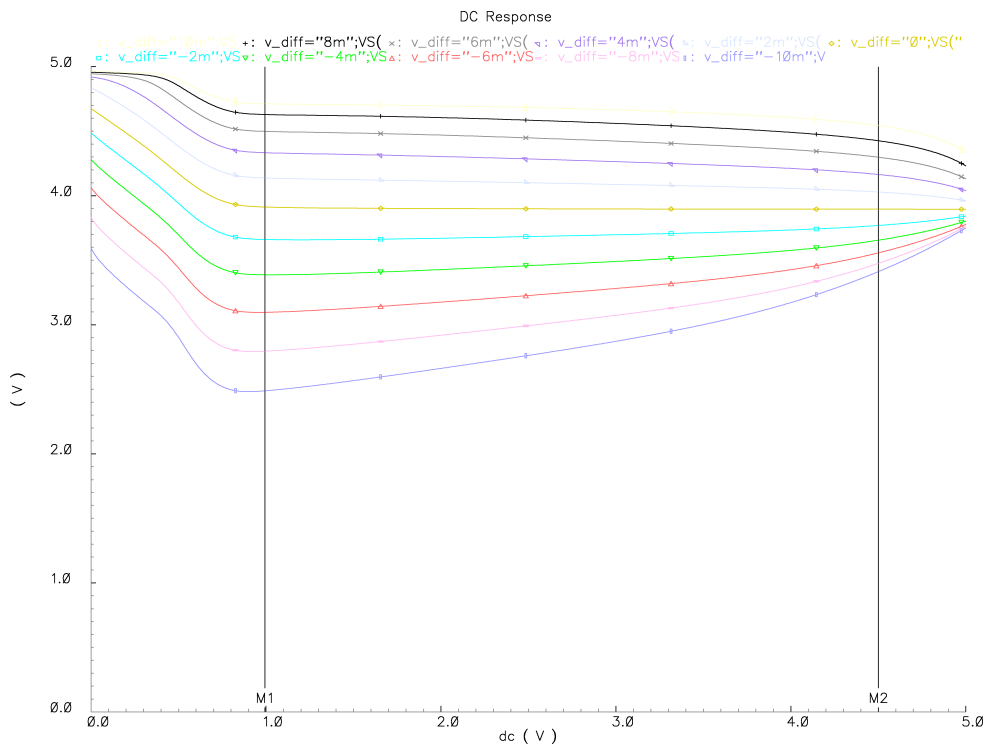


Abbildung 19: Ausgangsspannung in Abhängigkeit von Gleichtakt- & Differenzspannung

---

Die Ausgangsspannung kann also zwischen  $1.84V$  bei einer Differenzspannung von  $-24mV$  und  $4.71V$  bei  $11.6mV$  schwanken. Die Spannweite beträgt also  $2.87V$ . Diese ist allerdings nicht symmetrisch um den Nullpunkt bei einer Differenzspannung von  $0mV$ . Liegt keine Differenzspannung an, liegen am Ausgang  $3.9V$  an. Der symmetrische Aussteuerbereich um diesen Nullpunkt umfasst  $1.62V$ .

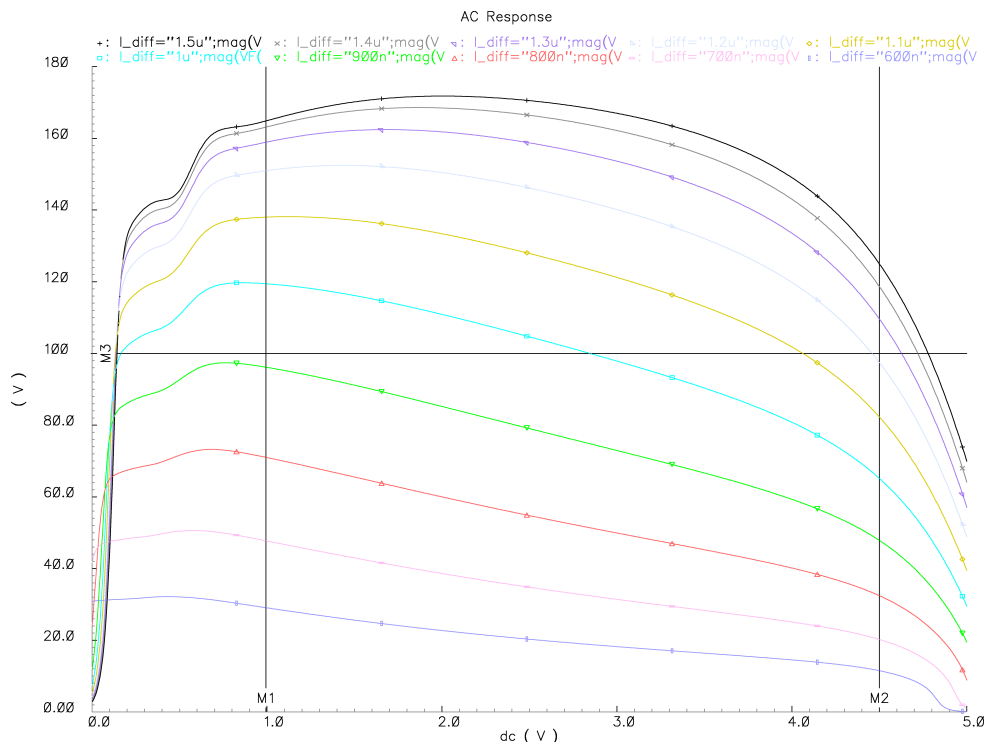
Da die Schaltung aber nicht nur bei dem frei definierten Arbeitspunkt von  $2.75V$ , als Gleichtaktspannung am Eingang, funktionieren soll, interessiert jetzt das Verhalten des Ausgangs bei variabler Spannung am Eingang. Dazu ist in Abbildung 19 die Ausgangsspannung in Abhängigkeit der Gleichtaktspannung am Eingang für verschiedene Differenzspannungen dargestellt.

Im Idealfall sollten alle Linien im gleichen Abstand parallel und waagrecht verlaufen. Davon ist das Schaltungsverhalten aber noch weit entfernt. Die Verstärkung und damit die Ausgangsspannung scheint noch stark abhängig vom Gleichtaktanteil am Eingang zu sein. Es sind also noch einige Optimierungen notwendig, um das Schaltungsverhalten zu verbessern.



## 4 Optimierungen

Die Verstärkung sollte möglichst unabhängig von der Gleichtaktspannung am Eingang sein. Dieser Fall ist aber nur mit viel Aufwand wirklich erreichbar. Aber der Verstärker hier sollte dem so nah kommen, wie es durch Veränderung der Transistormaße möglich ist. Zunächst ist im Folgenden die Verstärkung  $A_v$  in Abhängigkeit von der Gleichtaktspannung für verschiedene  $L_{diff}$  dargestellt:



**Abbildung 20:** Verstärkung in Abhängigkeit von Gleichtaktspannung &  $L_{diff}$

Den bisherigen Verlauf stellt in dem Diagramm die hellblaue Linie da. Man sieht, dass eine Verstärkung von 100 nur in der Mitte erreicht wird. Bei einer Gleichtaktspannung von 1V liegt  $A_v$  bei 120, bei 4.5V nur noch bei etwas über 60. Aber auch die anderen Transistormaße haben deutlichen Einfluss auf den Verlauf der Verstärkung.

In den Abbildungen 21 und 22 ist der Verlauf noch einmal in Abhängigkeit von  $W_{pmos}$  und  $L_{pmos}$  dargestellt. Über mehrere wiederholende Tests mit verschiedenen Transistorgrößen lässt sich der Verlauf der Verstärkung deutlich begradigen.

Durch diese Korrekturen wird aber der GBW-Wert nicht mehr erreicht.  $f_{3dB}$  ist etwas zu niedrig. Aus diesem Grund muss der Tail-Strom  $I_{tail}$  auf  $8\mu A$  erhöht werden. Dadurch sind ein paar weitere Anpassungen an den Transistorabmessungen erforderlich. In Tabelle 2 sind die finalen Parametergrößen zu sehen.

## 4 Optimierungen

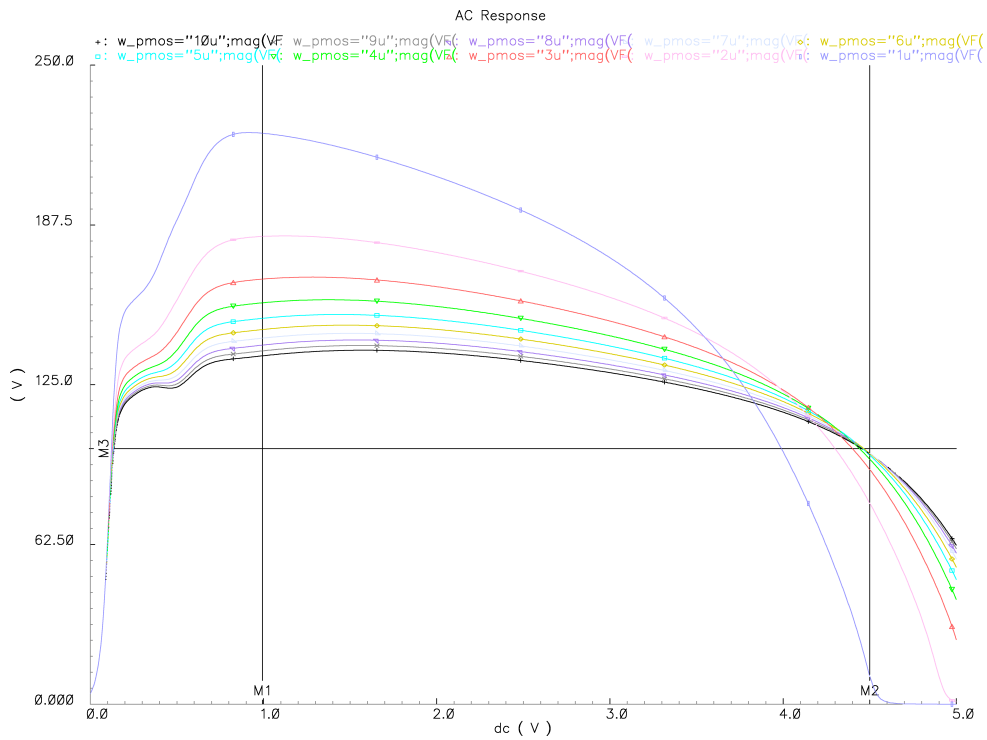


Abbildung 21: Verstärkung in Abhängigkeit von Gleichtaktspannung &  $W_{pmos}$

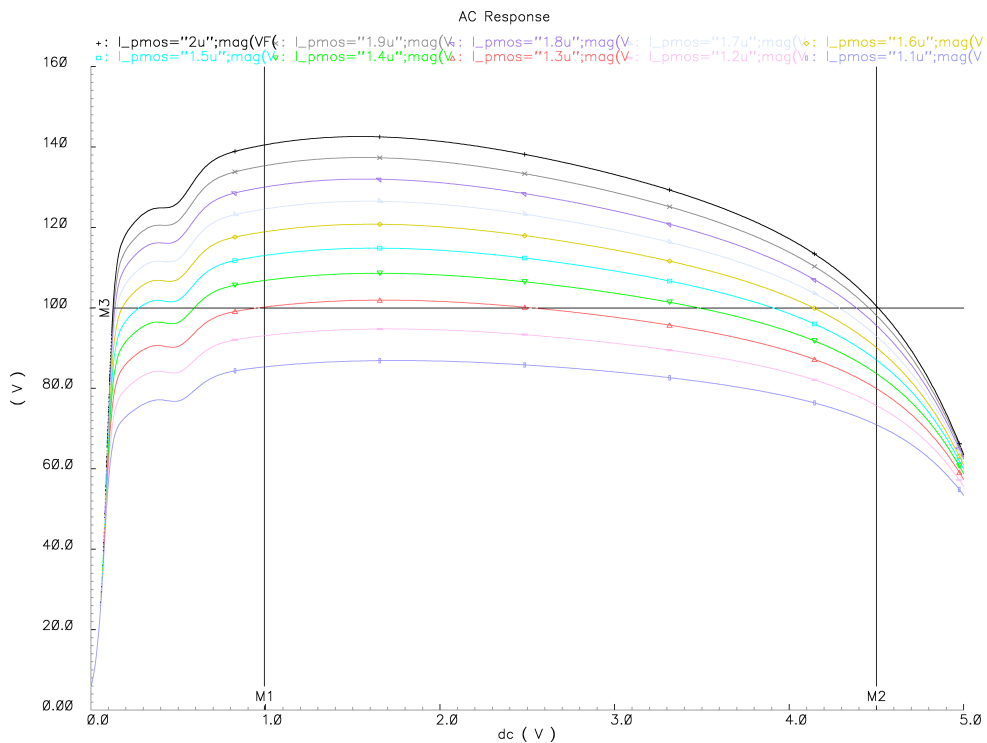


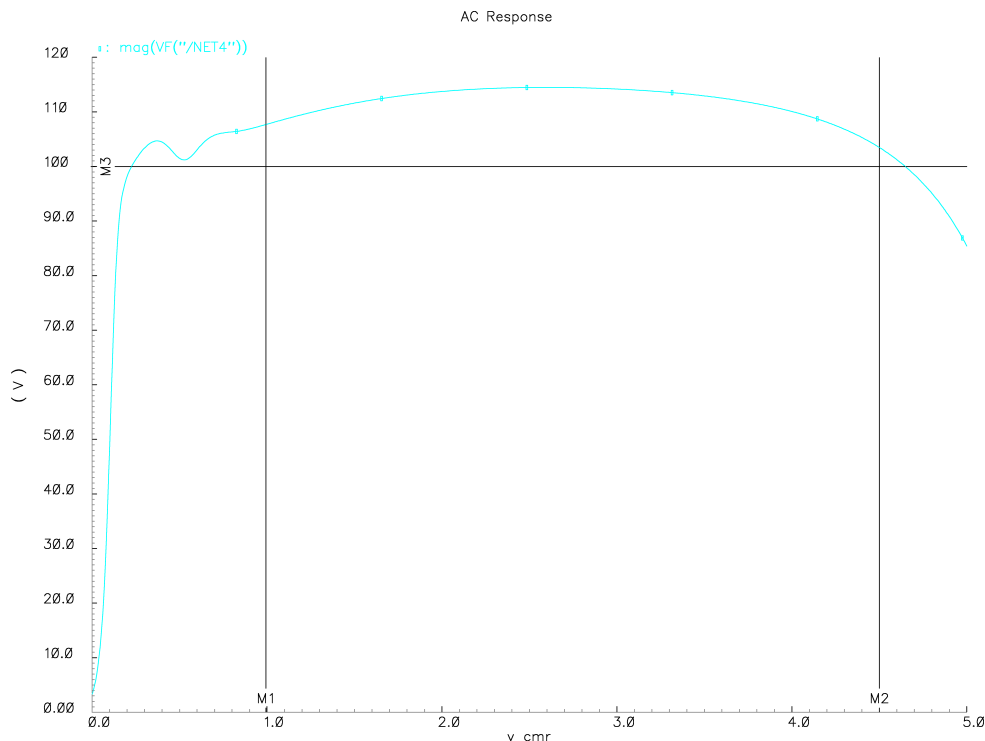
Abbildung 22: Verstärkung in Abhängigkeit von Gleichtaktspannung &  $L_{pmos}$

Parameter	Wert
$L_{diff}$	$1.8\mu m$
$W_{diff}$	$27\mu m$
$L_{pmos}$	$1.4\mu m$
$W_{pmos}$	$18\mu m$
$L_{tail}$	$2\mu m$
$W_{tail}$	$9\mu m$
$I_{tail}$	$8\mu A$

**Tabelle 2:** Parameter der Schaltung

In Abbildung 23 ist jetzt zu sehen, dass die Leerlaufverstärkung  $A_v$  jetzt über den ganzen Gleichtaktspannungsbereich etwas über 100 liegt. Auch die, für ein Verstärkungs-Bandbreite-Produkt von  $10MHz$ , benötigten  $100kHz$  als 3dB-Grenzfrequenz werden jetzt, wie in Abbildung 24 zu sehen, erreicht.

Auch bei der Gleichspannungsanalyse hat die Optimierung Verbesserungen gebracht. In Abbildung 25 erkennt man deutlich, dass der Spannungsverlauf wesentlich besser ist, als noch in Abbildung 19. Nur für hohe Gleichtaktspannungen bei negativer Differenzspannung gibt es deutliche Abweichungen. Diese sind damit zu erklären, dass bei hoher Gleichtaktspannung am Eingang einfach keine kleinen Spannungen am Ausgang mehr anliegen können. Dass ist auch in Abbildung 26 gut zu erkennen.



**Abbildung 23:** Verstärkung in Abhängigkeit der Gleichtaktspannung

## 4 Optimierungen

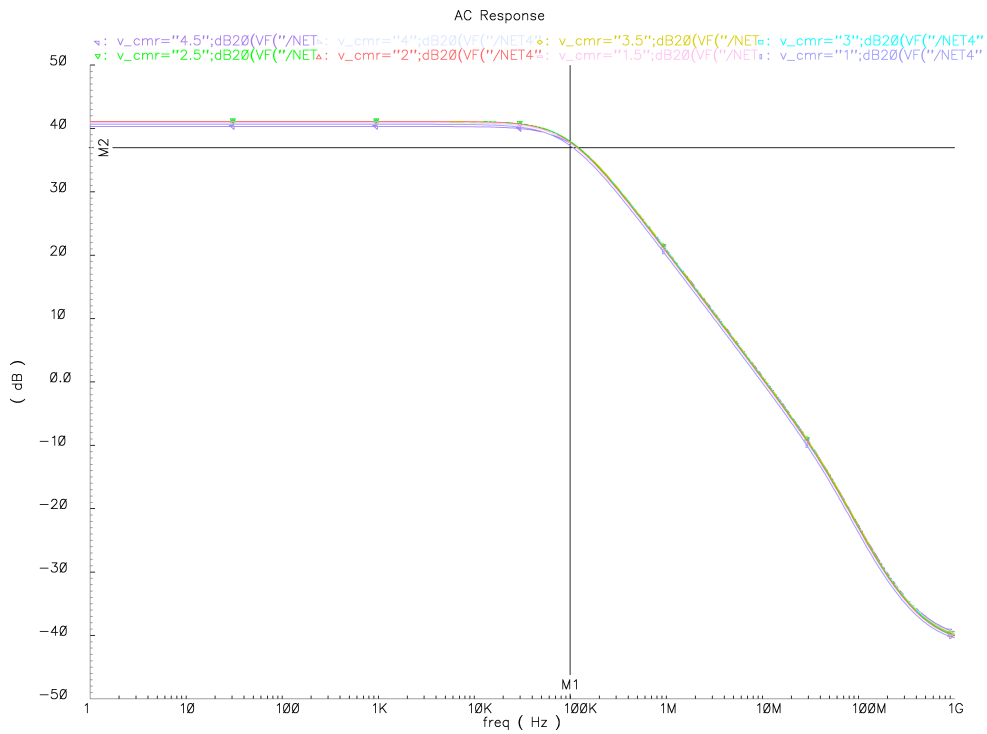


Abbildung 24: Frequenzverlauf in Abhängigkeit der Gleichtaktspannung

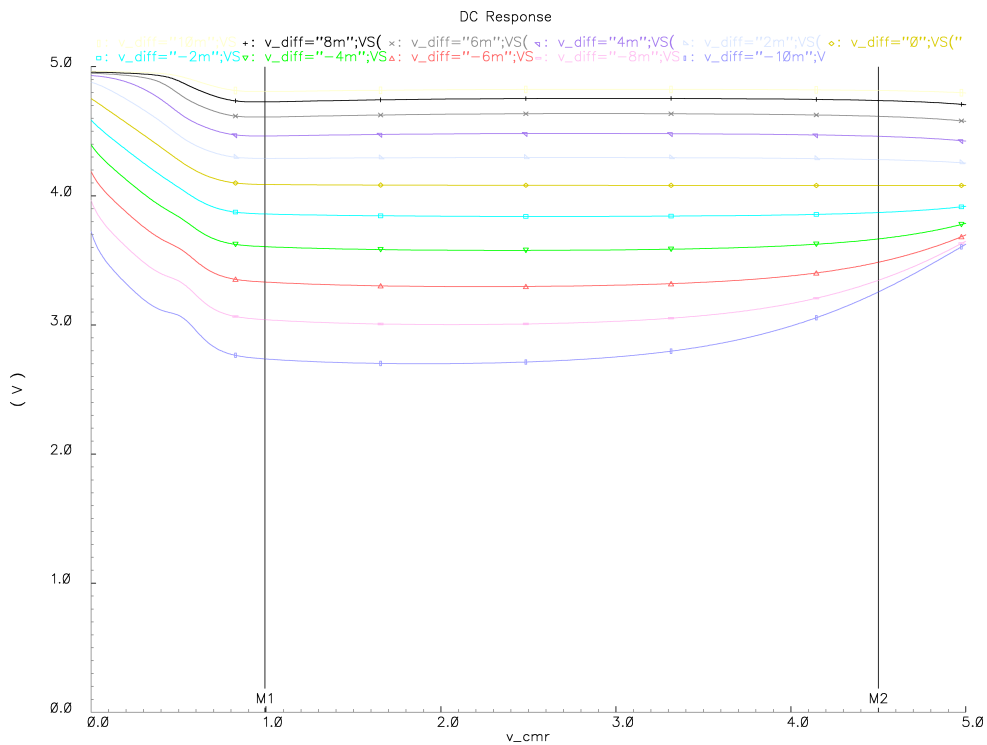


Abbildung 25: Ausgangsspannung in Abhängigkeit von Gleich- & Differenzspannung

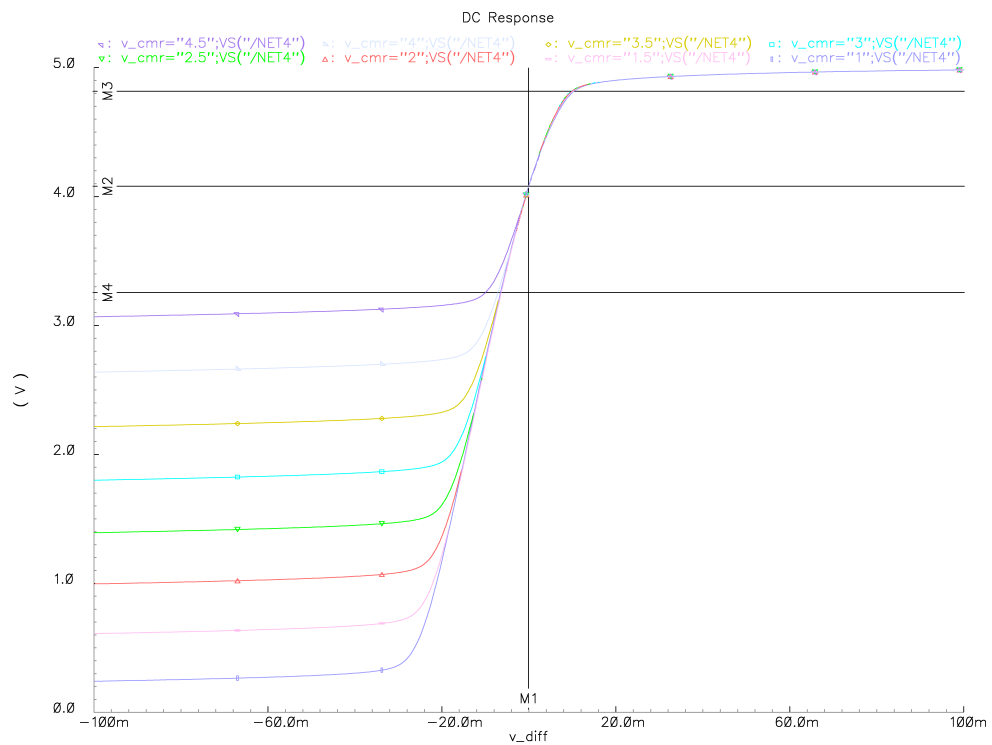


Abbildung 26: Ausgangsspannung in Abhängigkeit von Differenz- & Gleichtaktspannung

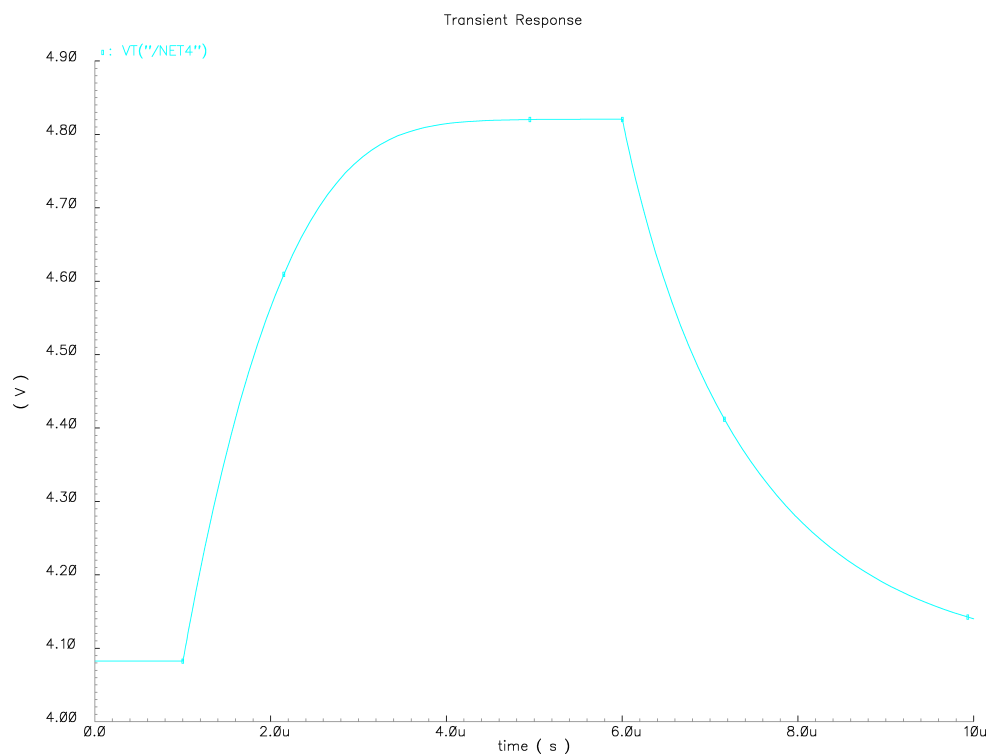
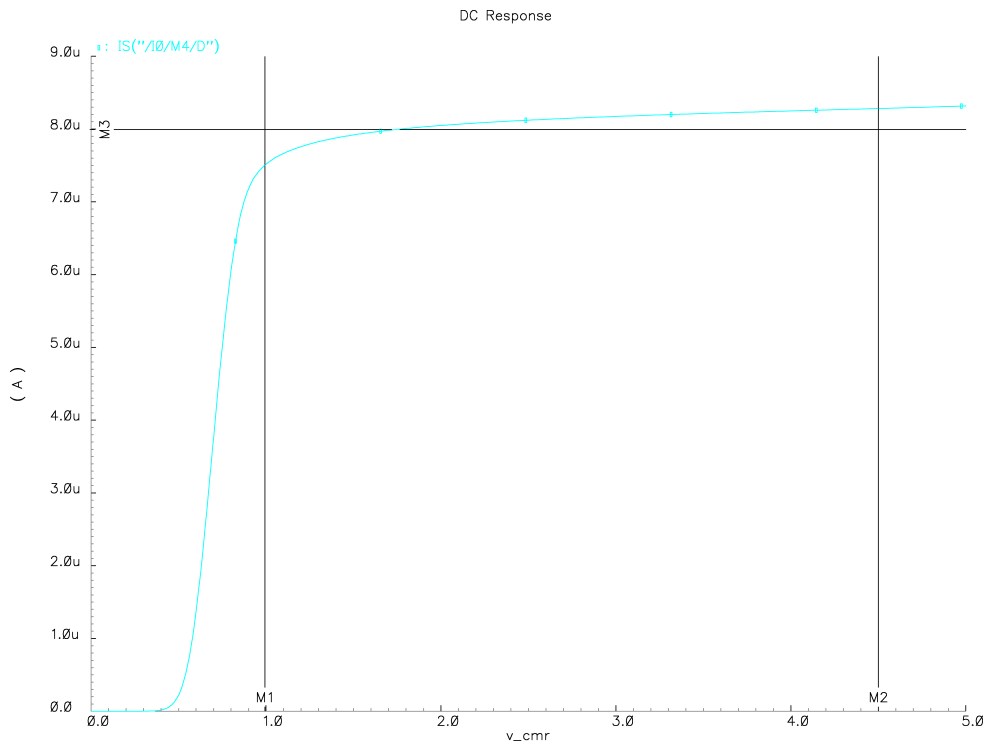


Abbildung 27: Reaktion am Ausgang auf Impuls am Eingang

## 4 Optimierungen



**Abbildung 28:** Stabilität des Tail-Stromspiegels

In Abbildung 26 erkennt man auch, dass der Output Swing gut  $1.5V$  beträgt. Bei entsprechend kleiner Gleichaktspannung und negativen Differenzspannungen ist aber noch viel mehr rauszuholen.

Jetzt fehlt noch eine Aussage zur Großsignal-Grenzfrequenz  $f_{max}$ . Dazu wird am Eingang ein Spannungsimpuls angelegt, und die Reaktion am Ausgang beobachtet. Das Ergebnis ist in Abbildung 27 zu sehen. Der maximale Anstieg beträgt  $667.1kV/s$ , die maximale Spannungsdifferenz  $0.74V$ . Mit Hilfe von Gleichung 25 auf Seite 15 kann man nun die Großsignal-Grenzfrequenz errechnen. Diese beträgt mit  $143.5kHz$  mehr, als die geforderten  $100kHz$ .

Zu guter Letzt werfen wir noch einen Blick auf die Stabilität des Tail-Stromspiegels. Wie man in Abbildung 28 sehen kann, ist dieser, für unsere Anwendung, stabil genug. Die Abweichung beträgt fast über die gesamte Breite weniger als 4%.

---

## 5 Das Layout

Wie in Kapitel 3 auf Seite 21 schon erwähnt, habe ich darauf geachtet, dass die Weiten der Transistoren entweder ähnlich groß oder zumindest Vielfache eines möglichst großen gemeinsamen Vielfachen sind. Das soll dazu dienen, dass man das Layout möglichst kompakt gestalten kann. In Tabelle 2 auf Seite 29 ist zu sehen, dass hier die Weiten ein Vielfaches von 9 sind. Aus dem Wert des Vielfachen von 9 ergibt sich damit die Anzahl der Finger, die der Transistor bekommen wird.

Da sowohl das Differenzpaar als auch die Stromspiegel darauf basieren, dass beide Transistoren möglichst identisch sind, ist darauf zu achten, dass jeweils beide Transistoren so dicht wie möglich und symmetrisch zueinander platziert sind. Damit wird ein gutes Matching erreicht und Fehlfunktionen durch zu unterschiedliche Transistoren so gering wie möglich gehalten. Damit sich die Transistorpaare nicht gegenseitig beeinflussen oder ungewollte Effekte zeigen (Latch-Up etc.) sind sie noch jeweils mit einem Guard-Ring umgeben.

In Abbildung 29 ist jetzt das fertige Layout zu sehen. Daraus habe ich natürlich auch den Layout-Schaltplan extrahiert und simuliert. Die Ergebnisse entsprechen in etwa denen aus den Abbildungen 23 bis 27 des vorherigen Kapitels. Die Ergebnisse der Layout-Simulation sind in den Abbildungen 30 bis 34 noch einmal dargestellt. Da die Simulationsergebnisse so gut übereinstimmen, ist auch gezeigt, dass das Layout den Anforderungen entspricht.

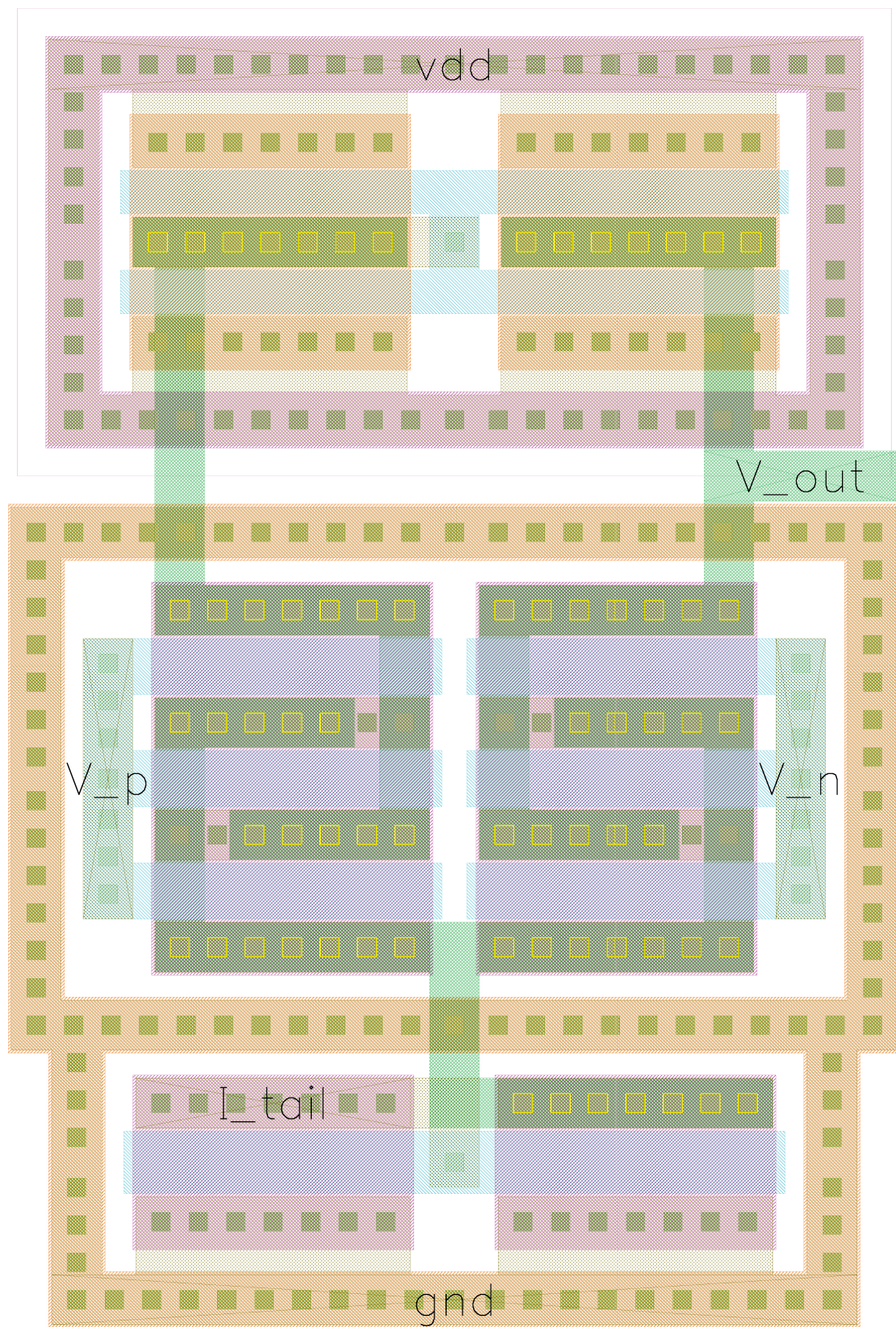
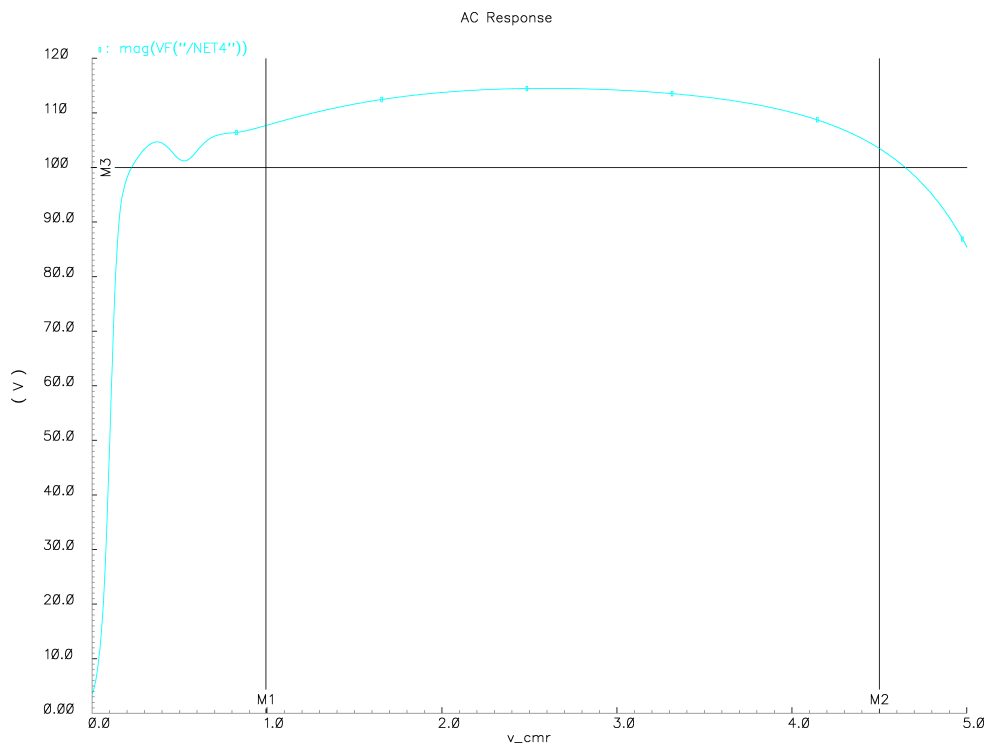
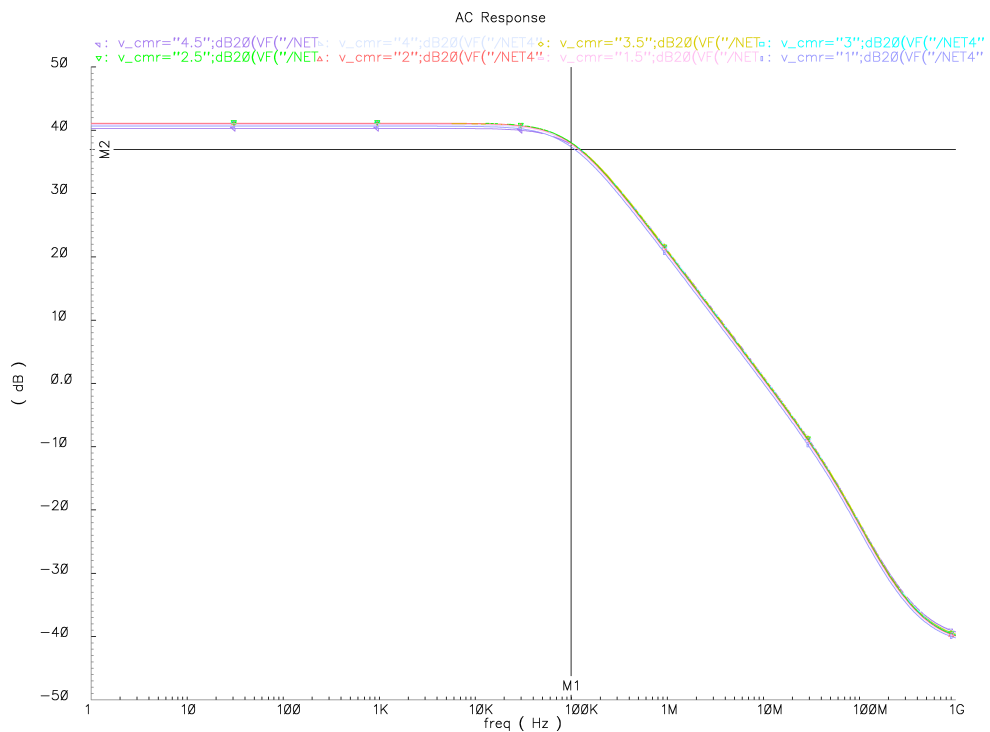


Abbildung 29: Das fertige Layout



**Abbildung 30:** Verstärkung in Abhängigkeit der Gleichtaktspannung



**Abbildung 31:** Frequenzverlauf in Abhängigkeit der Gleichtaktspannung

## 5 Das Layout

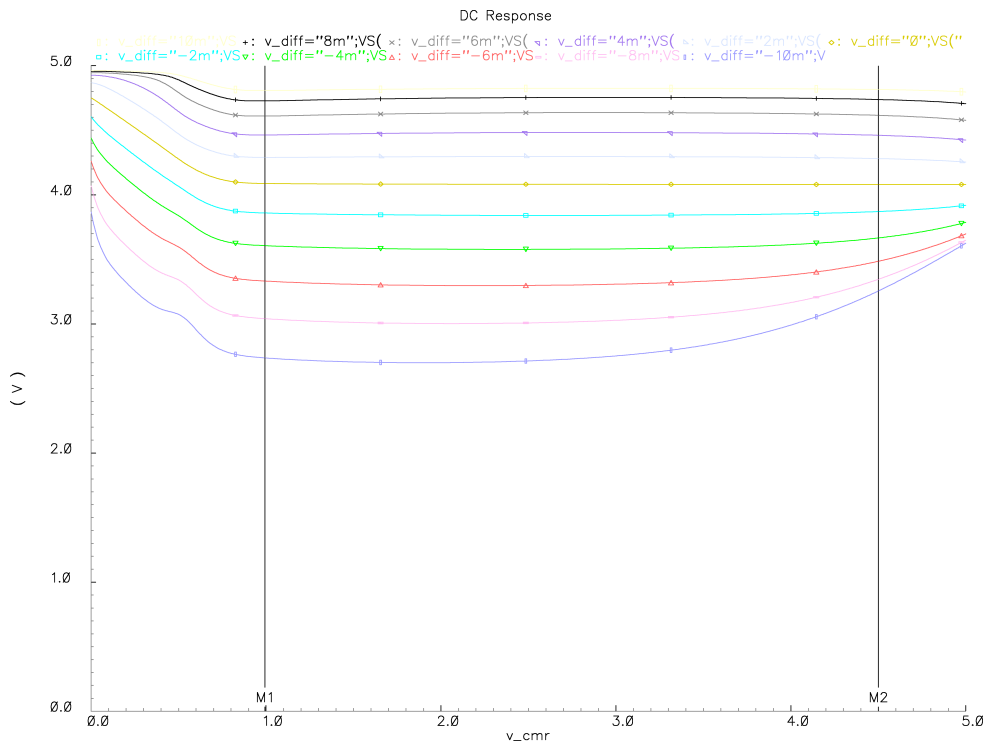


Abbildung 32: Ausgangsspannung in Abhängigkeit von Gleichtakt- & Differenzspannung

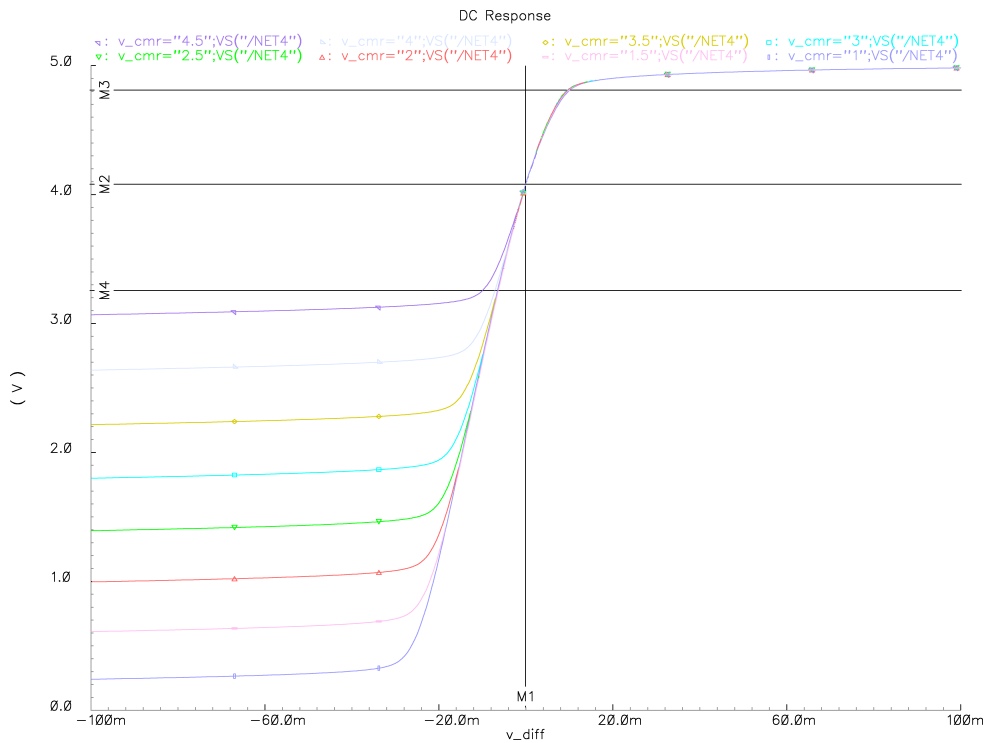
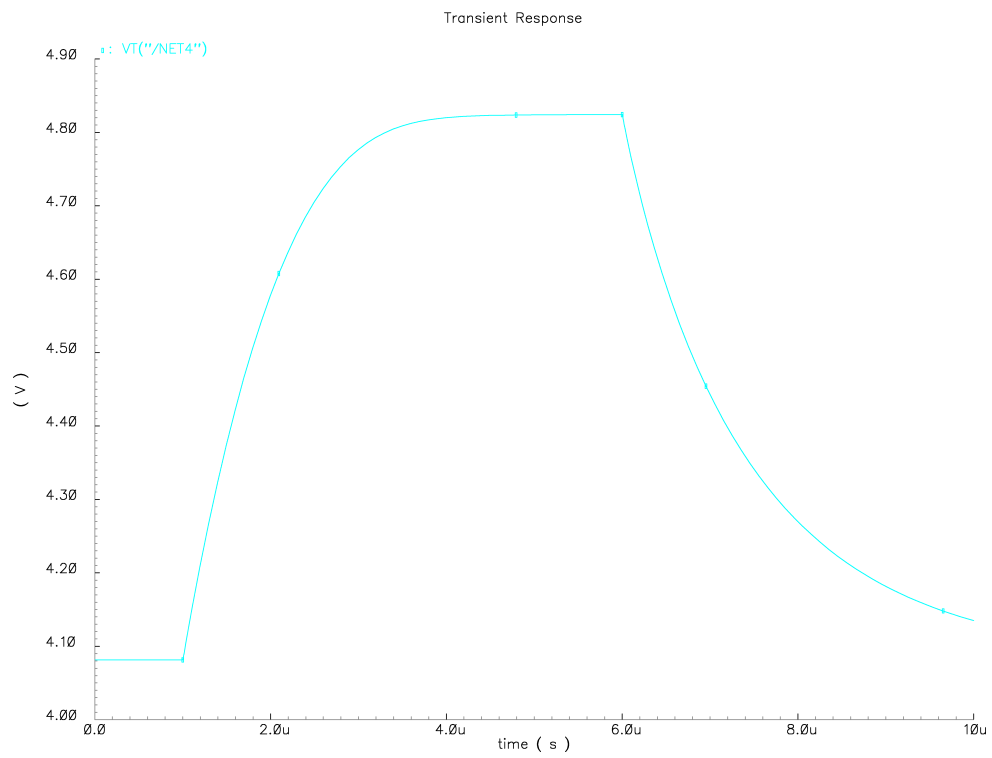


Abbildung 33: Ausgangsspannung in Abhängigkeit von Differenz- & Gleichtaktspannung



**Abbildung 34:** Reaktion am Ausgang auf Impuls am Eingang

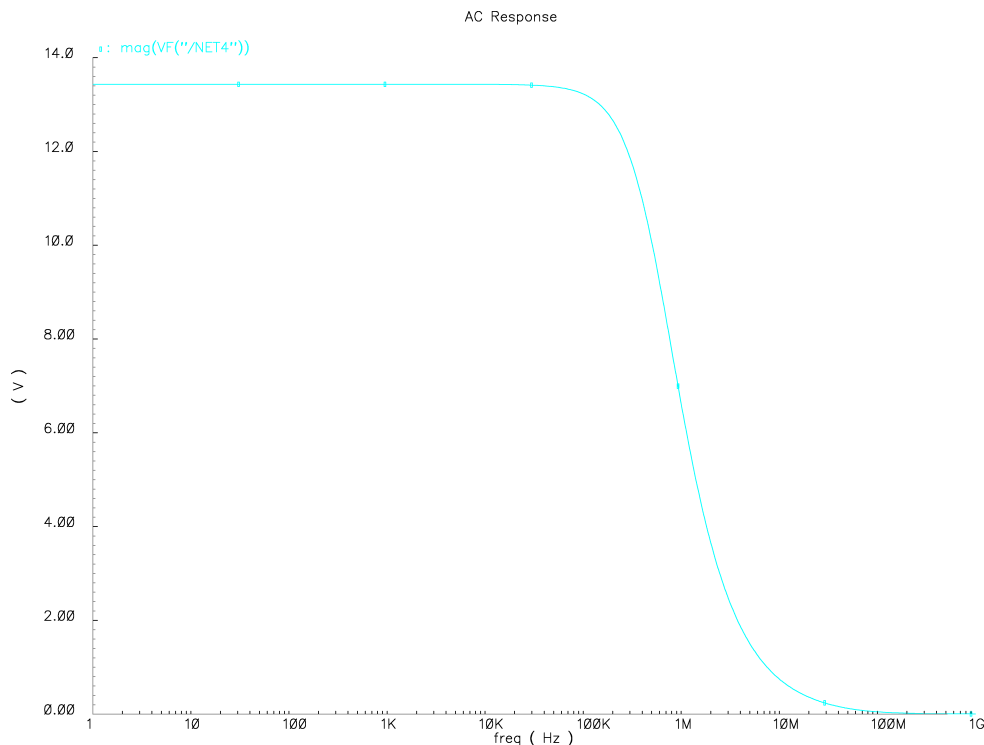


## 6 Nachtrag

In Kapitel 2 ist mir ein Fehler unterlaufen. Bei der Simulation zur Berechnung von  $K_n$  auf Seite 13 hatte ich keinen Transistor mit  $S = 1$  genommen, sondern einen mit  $S = 4$ . Damit ist  $K_n \neq \beta$ , sondern  $K_n = \frac{\beta}{4}$ . Damit korrigiert sich Gleichung 20 zu:

$$K_n = \frac{\sqrt{I_D}^2}{2} \quad (27)$$

Das hat zur Folge, dass sich die Seitenverhältnisse der Transistoren in den Gleichungen 16 und 17 und damit auch in der Abbildung 5 vervierfachen. Die neuen Weiten der Transistorenpaare sind damit  $W_{diff} = 38.4\mu m$  und  $W_{pmos} = 36.8\mu m$ . Der korrigierte erste Test sieht damit wie folgt aus:



**Abbildung 35:** Korrigierte erste Simulation des Frequenzverhaltens

Man sieht, dass das Ergebnis sehr ähnlich ist. Im weiteren Ablauf wäre man also vermutlich auf die gleichen Ergebnisse gekommen. Insofern ist der Fehler nicht so relevant.

Ich habe hier, aus layouttechnischen Gründen, sehr strikt darauf geachtet, dass die Transistorweiten Vielfache eines möglichst großen gemeinsamen Teilers, hier 9, sind. Man kann natürlich diese Weiten auch geringfügig variieren, ohne dass das Layout total zerrissen wird. Es hat sich aber gezeigt, dass geringfügige Änderungen der Weite nur wenig Einfluss auf das Ergebnis haben.



## Literatur

- [1] Stephan Henker: *Anleitung zum Praktikum „VLSI-Schaltungen und Systeme“*  
[http://hpsn.et.tu-dresden.de/fileadmin/webfiles/lessons/vlsi\\_ana\\_08/ana-anleitung\\_icpro1.0.2.pdf](http://hpsn.et.tu-dresden.de/fileadmin/webfiles/lessons/vlsi_ana_08/ana-anleitung_icpro1.0.2.pdf)
- [2] Prof. F. Ellinger: *Analoge Schaltungen - Vorlesungsskript*  
[http://ccn.et.tu-dresden.de/index.php?id=ccn\\_edu\\_as](http://ccn.et.tu-dresden.de/index.php?id=ccn_edu_as)
- [3] Y. Manoli: *CMOS Analoge Schaltungen*  
[http://www.imtek.de/mikroelektronik/content/upload\\_matthias/CMOS04/CMOS\\_analog.pdf](http://www.imtek.de/mikroelektronik/content/upload_matthias/CMOS04/CMOS_analog.pdf)
- [4] Prof. Dr. T. Wolf: *Praktikum Schaltungstechnik - Versuch 3: Operationsverstärker*  
[http://people.fh-landshut.de/~wlf/schT/praktikum/Versuch\\_3.pdf](http://people.fh-landshut.de/~wlf/schT/praktikum/Versuch_3.pdf)
- [5] edaboard.com: *Thread: finding lambda of nMOS 0.18u*  
<http://www.edaboard.com/thread100319.html>
- [6] Wikipedia: *Slew rate*  
[http://de.wikipedia.org/wiki/Slew\\_rate](http://de.wikipedia.org/wiki/Slew_rate)